

NONVOLATILE SEMICONDUCTOR MEMORY

Publication number: JP2003077282

Publication date: 2003-03-14

Inventor: SHINBAYASHI KOJI; FURUYAMA TAKAAKI

Applicant: FUJITSU LTD; FUJITSU VLSI LTD

Classification:

- international: **G11C7/18; G11C16/24; G11C16/28; G11C7/00; G11C16/06**; (IPC1-7): G11C16/06; G11C16/04

- european: G11C7/18; G11C16/24; G11C16/28

Application number: JP20010262882 20010831

Priority number(s): JP20010262882 20010831

Also published as:

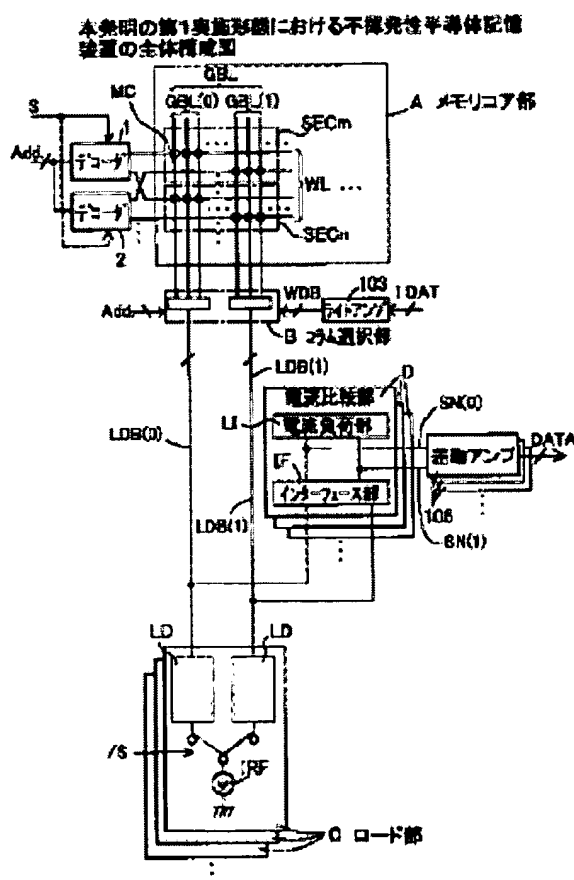
EP1288965 (A2)
US6917541 (B2)
US2003043623 (A1)
EP1288965 (A3)
CN1655282 (A)

more >>

Report a data error here

Abstract of JP2003077282

PROBLEM TO BE SOLVED: To provide a semiconductor memory which is provided with constitution of a new memory core section in which influence of parasitic element in a read path of storage cell information is eliminated in read operation and a sense means required or this constitution, and which can perform high speed sensing. **SOLUTION:** In a memory core section A, a selected storage cell is selected by a global bit line through a local bit line, and an adjacent global bit line is connected to a local bit line in a non-selection sector. In a column selecting section B, a pair of global bit lines are connected to a pair of data bus line. A load section C which is provided with a load being equal to parasitic capacitance on a path from the storage cell and which makes to flow a reference current is connected to the pair of data bus line. Current of storage cell information is compared with the reference current by a current comparing section D, and difference current is outputted. Path loads are equalized by an adjacent pair of current path, influence of a noise is cancelled, and high speed read can be performed.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-77282

(P2003-77282A)

(43)公開日 平成15年3月14日(2003.3.14)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 1 1 C 16/06

C 1 1 C 17/00

6 3 4 Z 5 B 0 2 5

16/04

6 3 4 E

6 3 6 B

6 2 4

審査請求 未請求 請求項の数10 O L (全 30 頁)

(21)出願番号 特願2001-262882(P2001-262882)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(22)出願日 平成13年8月31日(2001.8.31)

(71)出願人 00023/617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 新林 幸司

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 100098431

弁理士 山中 郁生 (外1名)

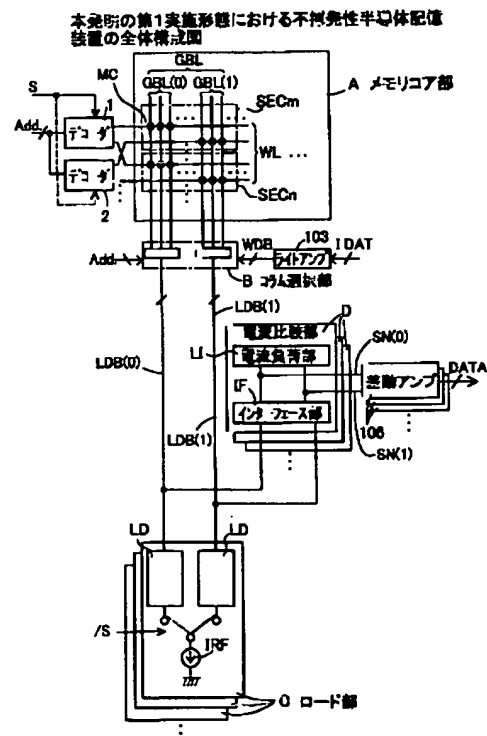
最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【課題】 読み出し動作において、記憶セル情報の読み出し経路における寄生素子成分の影響を排除した新規なメモリア部の構成と、この構成に伴う新規なセンス手段を備えて高速センスが可能な不揮発性半導体記憶装置を提供すること

【解決手段】 メモリア部Aでは、選択された記憶セルがローカルビット線を介してグローバルビット線に選択され、隣接するグローバルビット線が非選択セクタ内のローカルビット線に接続される コラム選択部Bでは、1対のグローバルビット線を1対のデータバス線に接続する。1対のデータバス線には、記憶セルからの経路上の寄生容量と同等の負荷を備えリファレンス側にリファレンス電流を流すロード部Cが接続され、記憶セル情報の電流とリファレンス電流とが電流比較部Dで比較されて差電流を出力する。隣接する1対の電流経路により経路負荷が同等になりノイズの影響も相殺されて、高速読み出しが可能となる



【特許請求の範囲】

【請求項1】 複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数の前記ローカルディジット線毎に備えられ、該ローカルディジット線が択一的に接続されるグローバルディジット線とを備える不揮発性半導体記憶装置において、記憶セル情報の読み出しの際、前記グローバルディジット線は、選択される前記不揮発性記憶セルが接続されている第1ローカルディジット線に接続される第1グローバルディジット線と、選択される前記不揮発性記憶セルが接続されず、非選択の前記不揮発性記憶セルのみが接続されている第2ローカルディジット線に接続される、前記第1グローバルディジット線と隣接する第2グローバルディジット線とを含み、前記第1及び第2グローバルディジット線を1対として、前記記憶セル情報の読み出しを行うことを特徴とする不揮発性半導体記憶装置。

【請求項2】 所定数の前記ローカルディジット線毎に纏められ、該不揮発性記憶セルへのアクセスの基本単位として構成される、複数のセクタを備え、前記第1ローカルディジット線は、第1セクタに配置され、前記第2ローカルディジット線は、第2セクタに配置されることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記第1セクタと前記第2セクタとは、隣接して配置されることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項4】 前記第1グローバルディジット線と、前記第2グローバルディジット線とは、前記セクタ毎に配置関係が反転して構成されることを特徴とする請求項2又は3に記載の不揮発性半導体記憶装置。

【請求項5】 複数の不揮発性記憶セルが接続されている、複数のディジット線を備える不揮発性半導体記憶装置において、前記ディジット線は、選択される前記不揮発性記憶セルが接続されている第1ディジット線と、非選択の前記不揮発性記憶セルのみが接続されている第2ディジット線とを含み、所定数の前記ディジット線毎に設けられ、記憶セル情報の読み出しの際、前記第1及び第2ディジット線を共に選択し、記憶セル情報の書き込みの際、前記第1ディジット線のみを選択する選択部を備えることを特徴とする不揮発性半導体記憶装置。

【請求項6】 複数の不揮発性記憶セルが接続されている、複数のディジット線と、

前記ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、第1ディジット線を介して、選択される前記不揮発性記憶セルが接続される第1データ線と、第2ディジット線を介して、非選択の前記不揮発性記憶セルのみが接続される第2データ線と、前記第1データ線に接続される第1ロード部と、前記第1ロード部と同等な構成を有し、前記第2データ線に接続されると共に、前記記憶セル情報に基づき前記第1データ線を流れる電流に対して基準となる電流を流す第2ロード部とを備え、前記第1ロード部は、前記不揮発性記憶セルから第2ロード部に至る経路にある負荷と同等な負荷を有し、前記第2ロード部は、前記不揮発性記憶セルから前記第1ロード部に至る経路にある負荷と同等な負荷を有して、前記第1及び第2データ線を1対として、記憶セル情報の読み出しを行うことを特徴とする不揮発性半導体記憶装置。

【請求項7】 前記第1及び第2ロード部は、前記不揮発性記憶セルと同等な第1及び第2リファレンスセルを備えることを特徴とする請求項6に記載の不揮発性半導体記憶装置。

【請求項8】 前記記憶セル情報に基づく電流に対する基準電流を生成する、前記不揮発性記憶セルと同等な第3リファレンスセルを含み、前記基準電流に応じたレギュレート電圧を出力するレギュレータ部を更に備え、前記第1及び第2ロード部は、前記レギュレート電圧により電流値が制御される第1及び第2負荷部を備えることを特徴とする請求項6に記載の不揮発性半導体記憶装置。

【請求項9】 複数の不揮発性記憶セルが接続されている、複数のディジット線と、前記ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、前記ディジット線を介して、選択される前記不揮発性記憶セルが接続され、記憶セル情報に基づく電流が流れる第1データ線と、基準電流が流れる第2データ線と、前記第1及び第2データ線が接続され、前記記憶セル情報に基づく電流と前記基準電流とを比較する電流比較部とを備え、前記電流比較部は、電流ミラー構成を有する電流負荷部と、前記第1及び第2データ線と前記電流負荷部との接続を切り替える接続切り換え部とを備えることを特徴とする不揮発性半導体記憶装置。

【請求項10】 複数の不揮発性記憶セルが接続されている、複数のディジット線と、前記ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、

前記ディジット線を介して、選択される前記不揮発性記憶セルが接続され、記憶セル情報に基づく電流が流れる第1データ線と、

基準電流が流れる第2データ線と、

前記第1及び第2データ線が接続され、前記記憶セル情報に基づく電流と前記基準電流とを比較する電流比較部とを備え、

前記電流比較部は、

前記第1及び第2データ線に対して前記基準電流に相当する電流を流す電流負荷部を備えることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置の記憶セル情報の読み出し動作に関するものであり、特に、読み出し動作における高速センス技術に関するものである。

【0002】

【従来の技術】フラッシュメモリ等の不揮発性半導体記憶装置においては、記憶セル情報の格納は、不揮発性記憶セルにおける不揮発性トランジスタの電流駆動能力により行われる。即ち、“1”/“0”の記憶セル情報に対して、不揮発性トランジスタが、電流を流す/流さない、又はより多くの電流を流す/より少ない電流を流す、等の違いにより記憶セル情報の格納を行っている。

【0003】そして、不揮発性半導体記憶装置に格納されている記憶セル情報のセンスは、選択された記憶セルに接続されたディジット線を介して流れる電流の有無、あるいは流れる電流とリファレンスセルに流れる基準電流との大小関係により行われる。

【0004】図22に、従来技術における不揮発性半導体記憶装置の全体構成図を示す。記憶セルMCは、マトリクス状に配置されメモリコア部A100を構成している。記憶セルMCは所定数毎に基本単位として纏められ、セクタSEC100m、SEC100nを構成している。記憶セル情報の読み出し時には、デコーダ101によりアドレス信号Addをデコードすることにより、選択されたセクタに属するワード線WLが活性化されて、記憶セルMCがグローバルビット線GBLに接続され、グローバルビット線GBLに記憶セル情報が現れる。

【0005】ここで、メモリコア部A100(図23)は、セクタSEC100、SEC101毎の分割動作の必要から、各セクタのビット線LBL00乃至LBL03、LBL10乃至LBL13は独立して配置されている。即ち、セクタ間を貫くグローバルビット線GBL0、GBL1と、グローバルビット線からセクタスイッチを介して接続される2本のローカルビット線LBL00乃至LBL03、LBL10乃至LBL13との階層構造を有している。各ローカルビット線には、セクタ内

に配置されている記憶セルMCが複数接続されている。図23では、セクタSEC100についてワード線WL0により選択される記憶セル群MC00乃至MC03と、セクタSEC101についてワード線WL1により選択される記憶セル群MC10乃至MC13とが例示されている。

【0006】記憶セル情報の読み出し時には、何れか1つのセクタが選択され、該当するワード線(WL0あるいはWL1)が活性化される。これにより、セクタ内の全てのローカルビット線LBL00乃至LBL03、あるいはLBL10乃至LBL13は、各記憶セルMC00乃至MC03、あるいはMC10乃至MC13に接続され記憶セル情報が現れる。そして、各グローバルビット線GBL0、GBL1に接続されている2つのセクタスイッチのうち何れか一方が選択され、各グローバルビット線GBL0、GBL1は、セクタスイッチを介して記憶セルMC00乃至MC03、MC10乃至MC13に接続される。こうして記憶セル情報の読み出し時には、全てのグローバルビット線GBL(図22)は、選択された記憶セル情報を有することとなる。尚、メモリコア部A100の冗長構成SP100、SP101は、グローバルビット線SGBLを基本単位として構成されている。

【0007】図22に戻り、記憶セルMCに接続された各グローバルビット線GBLは、所定本数毎にコラム選択部B100に入力されて、その中から1本が選択されてデータバスLDBに接続される。図24では、32本のグローバルビット線GBL0乃至GBL31のうちから1本を選択してデータバス線LDBに接続する場合の回路例を示している。アドレスAdd信号により、デコード信号YD00乃至YD1Fのうち1つの信号が活性化される。これにより、活性化されたデコード信号に接続されているパスゲートトランジスタのみが導通して、該当するグローバルビット線がデータバス線LDBに接続されて記憶セル情報がデータバスLDBに現れる。

【0008】データバス線LDBに現れる記憶セル情報の検出は、上述したように、記憶セルMCの電流駆動能力に応じてデータバス線LDBから記憶セルMCに至る経路を流れる電流と、基準電流とを比較して行われる。具体的には電流を電圧に変換した上で差動アンプ106により行われる。電流電圧変換を行う回路が、カスコード部104、105である。図25に具体的な回路例を示す。データバス線LDBに流れる電流と基準電流とが、NMOSTランジスタQN102、QN202を介して流れることにより、差動アンプ106への入力電圧が、電流に応じて調整される。

【0009】ここで、データバス線LDBは、8ビット、16ビット等の多ビット構成となっており、データバス線LDB毎に上記の読み出し構成が備えられている。即ち、カスコード回路104と差動アンプ106

は、8ビット構成であれば8組、16ビット構成であれば16組が、備えられることとなり、構成される多ビット構成に応じたビット幅分の回路が必要となる。これに対して、リファレンスセルRC100は1つであり、これに対する基準電流側のカスコード部105も1つである。この出力が各差動アンプ106に共通に接続されている。従って、各差動アンプ106における記憶セル情報側とリファレンス側との入力信号線間の寄生容量はアンバランスとなっており、これを調整するため記憶セル情報側の入力信号線に容量負荷CLD2を付加することが一般的である。

【0010】更に、リファレンスセルRC100は、記憶セルMCへのプログラム動作やイレーズ動作による電圧ストレスの影響を避けるため、メモリコア部A100において、セクタ領域とは異なる専用領域に備えられている。このため、専用領域にあるリファレンスセルRC100が接続されているリファレンスバス線RBは、経路上に他の記憶セルは接続されずにカスコード部105と直結されているのに対して、記憶セルMCが接続されているローカルビット線には、非選択の記憶セルMCが多数接続されており、セクタスイッチを介してグローバルビット線GBLに接続される階層的な構造となっている。従って、記憶セルMCからカスコード部104に至る経路には、非選択な記憶セルMCによるトランジスタの接合容量や、ローカルビット線及びグローバルビット線と隣接、あるいはその上/下層に配置されている他のビット線やワード線、あるいはその他の信号線等との間に存在する線間容量等の寄生容量、及びセクタスイッチ等による寄生抵抗が存在する。この寄生素子のアンバランスを調整するためリファレンスセルRC100からカスコード部105に至る経路に容量負荷CLD1を付加することが一般的である。尚、図22では、リファレンスセルRC100が、メモリコア部A100内に配置されている場合を示したが、これに限定されるものではなく、メモリコア部A100の外部に配置されていても良い。

【0011】寄生素子成分の調整を容量負荷CLD1、CLD2で行うことにより、記憶セル情報側とリファレンス側との過渡応答特性を同等にして、寄生素子による信号伝播遅延を待つことなく過渡状態でのセンスを可能として、センス時間の短縮を図っている。

【0012】尚、データバス線LDBは、記憶セル情報の書き込み（以下、プログラムと記す）用にも使用されている。即ち、ライトアンプ103により増幅された入力データIDATは、データバス線LDBに出力される。そして、コラム選択手段B100により適宜なグローバルビット線GBLが選択されることにより、グローバルビット線GBLからローカルビット線を介して、記憶セルMCにプログラム動作が行われることとなる。

【0013】

【発明が解決しようとする課題】従来技術における不揮発性半導体記憶装置においては、記憶セルMCからカスコード部104に至る記憶セル情報側の電流経路における寄生容量を、リファレンスセル側の電流経路に容量負荷CLD1を付加することにより擬似的に合せこんでいた。

【0014】しかしながら、記憶セル情報側の寄生容量は、製造上の許容されたバラツキによりある幅を有する分布を持ってばらついてしまう。即ち、各種配線のエッチング加工のバラツキにより、隣接配線との間隔がばらつき、隣接配線との線間容量はある幅にばらついてしまう。また、層間絶縁膜の膜厚のバラツキにより、上/下層の配線との間隔がばらつき、隣接配線との線間容量はある幅にばらついてしまう。更に、ゲート酸化膜や、拡散層の濃度、深さ等のトランジスタの各種パラメータのバラツキにより、接合容量やオン抵抗もある幅にばらついてしまう。

【0015】また、不揮発性半導体記憶装置の大容量化が進展することに伴い、チップのダイサイズが大きくなるに従い、同一チップ内においても、寄生容量のチップ面内の差異が大きくなる傾向にある。同時にウェハの大口径化も進展しており、ウェハ面内における差異も大きくなる虞がある。

【0016】即ち、セクタ内に配置される記憶セルMCから階層構造を有するビット線を介して形成される電流経路と、専用領域に配置されるリファレンスセルから直結される基準電流経路とは、ビット線が配置されている周囲環境や形成される経路の物理的なパラメータが異なっている。このため、設計段階において、両者の寄生素子成分による特性を合せこむ容量負荷CLD1、CLD2を負荷したとしても、製造上のバラツキや、チップあるいはウェハの面内分布による差異の傾向は各々に異なっているため、これらの変動要因を含めて、リファレンス側の特性を寄生素子成分による特性と一致させることは困難であるという問題がある。

【0017】従って、読み出し動作中の過渡状態においては、寄生素子成分による信号の伝播遅延に伴い、記憶セル情報側とリファレンス側との電流経路における電位変化は一致しないこととなる。従って、記憶セル情報の検出には電位変化が所定範囲内に収束するまで待つ必要があり、読み出し動作における更なる高速化を妨げており問題である。

【0018】本発明は前記従来技術の問題点を解消するためになされたものであり、読み出し動作における高速センスを可能とするために、記憶セル情報の読み出し経路における寄生素子成分の影響を排除した新規なメモリコア部の構成と、この構成に伴う新規なセンス手段を備えた不揮発性半導体記憶装置を提供することを目的とする。

【0019】

【課題を解決するための手段】前記目的を達成するために、請求項1に係る不揮発性半導体記憶装置は、複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数のローカルディジット線毎に備えられ、ローカルディジット線が択一的に接続されるグローバルディジット線とを備える不揮発性半導体記憶装置において、記憶セル情報の読み出しの際、グローバルディジット線は、選択される不揮発性記憶セルが接続されている第1ローカルディジット線に接続される第1グローバルディジット線と、選択される不揮発性記憶セルが接続されず、非選択の不揮発性記憶セルのみが接続されている、第1グローバルディジット線と隣接する第2グローバルディジット線とを含み、第1及び第2グローバルディジット線を1対として、記憶セル情報の読み出しを行うことを特徴とする。

【0020】請求項1の不揮発性半導体記憶装置では、記憶セル情報を読み出す際、第1ローカルディジット線を介して、選択される不揮発性記憶セルが接続される第1グローバルディジット線と、非選択の不揮発性記憶セルのみが接続されている第2ローカルディジット線に接続される第2グローバルディジット線とを1対として、記憶セル情報の読み出しを行う。この場合、互いに隣接した第1及び第2グローバルディジット線が1対となる。

【0021】これにより、記憶セル情報が伝播する第1グローバルディジット線をセル情報側とし、第2グローバルディジット線をリファレンス側として、第1及び第2グローバルディジット線を1対として記憶セル情報を読み出すので、読み出し経路である第1ローカルディジット線から第1グローバルディジット線に至る経路と同等な経路構成を有する第2ローカルディジット線から第2グローバルディジット線までの経路をリファレンス側の負荷とすることができる。経路上に存在する寄生容量による負荷をセル情報側とリファレンス側とで理想的に同等とすることができる。

【0022】また、第1グローバルディジット線と第2グローバルディジット線とは隣接して配置されているので、一方のグローバルディジット線に印加されたノイズは、他方のグローバルディジット線にも伝播され、第1及び第2グローバルディジット線間で、同等のノイズが乗る。即ち、第1及び第2グローバルディジット線間で、同相のノイズが印加されることとなる。第1及び第2グローバルディジット線を隣接することにより、両グローバルディジット線を1対とする読み出し動作において、ノイズの影響を相殺することができる。

【0023】セル情報側のセル情報伝播経路と同等な経路構成を有してリファレンス側とし、更に両経路を隣接配置しているため、製造バラツキや、チップあるいはウェハ面内におけるバラツキに関わらず、セル情報側とリファレンス側の経路とは、常に同等の寄生容量による負

荷を有することとなり、読み出し時において同等な過渡応答特性が安定して得られる。従って、セル情報側及びリファレンス側の経路電位の平衡状態を待たず過渡応答時にセンスして、記憶セル情報を安定して高速に読み出すことができる。また、両経路には同相のノイズが乗るので、ノイズは相殺され記憶セル情報の読み出し信頼性が向上する。

【0024】また、請求項2に係る不揮発性半導体記憶装置は、請求項1に記載の不揮発性半導体記憶装置において、所定数のローカルディジット線毎に纏められ、不揮発性記憶セルへのアクセスの基本単位として構成される、複数のセクタを備え、第1ローカルディジット線は、第1セクタに配置され、第2ローカルディジット線は、第2セクタに配置されることを特徴とする。更に、請求項3に係る不揮発性半導体記憶装置は、請求項2に記載の不揮発性半導体記憶装置において、第1セクタと第2セクタとは、隣接して配置されることを特徴とする。

【0025】請求項2の不揮発性半導体記憶装置では、所定数のローカルディジット線毎に纏められて不揮発性記憶セルへのアクセスの基本単位としてセクタが構成されており、第1ローカルディジット線は第1セクタに、第2ローカルディジット線は第2セクタに配置されている。また、請求項3の不揮発性半導体記憶装置では、第1セクタと第2セクタとは隣接して配置されている。

【0026】これにより、アクセス選択されて不揮発性記憶セルが接続される、第1セクタ内の第1ローカルディジット線に対して、アクセス選択されていない第2セクタ内の第2ローカルディジット線を、リファレンス側の負荷として選択することができる。セクタは不揮発性記憶セルへのアクセスの基本単位として構成されているので、非選択の第2セクタにおいて、第2ローカルディジット線に接続されている不揮発性記憶セルは選択されておらず、第2ローカルディジット線はリファレンス側の負荷として使用することができる。また、選択されている第1セクタに隣接する非選択セクタを第2セクタとすることにより、セル情報側に隣接してリファレンス側の経路を選択することができ、両経路間の寄生容量による負荷、及びノイズによる影響を同等にすることができる。

【0027】また、請求項4に係る不揮発性半導体記憶装置は、請求項2又は3に記載の不揮発性半導体記憶装置において、第1グローバルディジット線と、第2グローバルディジット線とは、セクタ毎に配置関係が反転して構成されることを特徴とする。

【0028】請求項4の不揮発性半導体記憶装置では、第1グローバルディジット線と、第2グローバルディジット線とは、セクタ毎に交差して配置されている。

【0029】これにより、第1グローバルディジット線に接続される第1セクタ内の第1ローカルディジット線

と、第2グローバルディジット線に接続される第2セクタ内の第2ローカルディジット線とは、セクタ内において同様の配置位置とすることができる。従って、第1及び第2ローカルディジット線の各々は、他のローカル／グローバルビット線、ワード線、その他の配線、及び構成素子等の周辺構造との間で、同等の位置関係を有することとなる。また、第1及び第2グローバルディジット線も、セクタ毎に交差するので、第1及び第2グローバルディジット線と、周辺構造との位置関係も同等となる。従って、これらの周辺構造との間で形成される寄生容量は、両経路間で同等とすることができる。

【0030】また、第1ローカルディジット線と、第2ローカルディジット線とは隣接させてもよい。これにより、一方のローカルディジット線に印加されたノイズは、他方のローカルディジット線にも伝播され、第1及び第2ローカルディジット線間で、同等のノイズが乗る。即ち、第1及び第2ローカルディジット線間で、同相のノイズが印加されることとなる。第1及び第2ローカルディジット線を隣接することにより、ノイズの影響を相殺することができる。従って、記憶セル情報の読み出し信頼性が向上する。

【0031】また、第1ローカルディジット線と第2ローカルディジット線とは、第1及び第2ローカルディジット線を囲む物理パラメータが同等であることが好ましい。これにより、他のローカル／グローバルビット線、ワード線、その他の配線、及び構成素子等の周辺構造との間で、同等の位置関係を有することとなり、これらの周辺構造との間で形成される寄生容量は、両経路間で同等とすることができる。

【0032】また、所定数の不揮発性記憶セル毎に纏められ、不揮発性記憶セルへのアクセスの基本単位として構成される、複数のセクタを備え、第1ローカルディジット線と、第2ローカルディジット線とは、セクタ毎に配置関係が反転して構成されることが好ましい。これにより、ローカルディジット線が、セクタを越えて形成されている場合に、セクタ毎に配置関係を反転するので、周辺構造との間で形成される寄生容量は、第1及び第2ローカルディジット線間で同等とすることができる。

【0033】また、欠陥救済のための冗長構成の最小単位は、第1及び第2グローバルディジット線を1対として構成されることが好ましい。これにより、欠陥を救済して冗長構成から読み出しを行う場合にも、隣接する第1及び第2グローバルディジット線を1対とした読み出し構成を維持することができ、冗長構成に移行しない場合と同等な読み出し性能を維持することができる。

【0034】また、複数の不揮発性記憶セルが接続されている、複数のディジット線を備える不揮発性半導体記憶装置において、記憶セル情報の読み出しの際、ディジット線は、選択される不揮発性記憶セルが接続されている第1ディジット線と、非選択の不揮発性記憶セルのみ

が接続されている第2ディジット線とを含み、第1及び第2ディジット線を1対として、記憶セル情報の読み出しを行ってもよい。この場合、第1ディジット線と、第2ディジット線とは隣接することが好ましい。また、第1ディジット線と第2ディジット線とは、第1及び第2ディジット線を囲む物理パラメータが同等であることが好ましい。これにより、ローカルビット線とグローバルビット線とのビット線の階層構造を有さない不揮発性半導体記憶装置においても、選択される不揮発性記憶セルが接続されている第1ディジット線と、非選択の不揮発性記憶セルのみが接続されている第2ディジット線とを1対として読み出し動作を行えば、製造バラツキや、チップあるいはウェハ面内におけるバラツキに関わらず、セル情報側とリファレンス側の経路における寄生容量による負荷を同等とすることができる。従って、読み出し時における過渡応答特性が安定して得られ、安定した高速読み出しを実現することができる。また、両経路には同相のノイズが印加されるためノイズは互いに相殺され、記憶セル情報の読み出し信頼性が向上する。また、両ディジット線を隣接配置、あるいは周囲環境による物理パラメータを同等にしてやれば、両経路における寄生容量のバランスを更によくすることができる。

【0035】また、請求項5に係る不揮発性半導体記憶装置は、複数の不揮発性記憶セルが接続されている、複数のディジット線を備える不揮発性半導体記憶装置において、ディジット線は、選択される不揮発性記憶セルが接続されている第1ディジット線と、非選択の不揮発性記憶セルのみが接続されている第2ディジット線とを含み、所定数のディジット線毎に設けられ、記憶セル情報の読み出しの際、第1及び第2ディジット線を共に選択し、記憶セル情報の書き込みの際、第1ディジット線のみを選択する選択部を備えることを特徴とする。

【0036】請求項5の不揮発性半導体記憶装置では、選択部は、所定数のディジット線から、記憶セル情報の読み出しの際には、選択される不揮発性記憶セルが接続されている第1ディジット線と、非選択の不揮発性記憶セルのみが接続されている第2ディジット線とを共に選択し、記憶セル情報の書き込みの際には、第1ディジット線のみを選択する。

【0037】これにより、所定数のディジット線から、該当する第1及び第2ディジット線を選択する際、選択部は、アドレス信号等をデコードする必要がある。読み出し時には、第1及び第2ディジット線を共に選択するので、デコード階層を、書き込みに比して浅く設定することができ、読み出し用の選択部をコンパクトにすることができる。

【0038】また、ディジット線に選択的に接続されるデータ線を備え、選択部は、記憶セル情報の読み出しの際に、第1電流駆動能力でディジット線とデータ線とを接続し、記憶セル情報の書き込みの際に、第1電流駆動

能力より大きな第2電流駆動能力でディジット線とデータ線とを接続するスイッチ部を備えることが好ましい。これにより、スイッチ部は、電流容量の小さな読み出し時には、第1電流駆動能力でディジット線とデータ線とを接続し、大きな電流容量を必要とする書き込み時には、第1電流駆動能力より大きな駆動能力である第2電流駆動能力でディジット線とデータ線とを接続することができる。読み出し時及び書き込み時において、最適な電流駆動能力でディジット線とデータ線とを接続することができる。

【0039】また、ディジット線に選択的に接続されるデータ線を備え、選択部は、記憶セル情報の読み出し時に、ディジット線からデータ線に至る第1経路と、記憶セル情報の書き込み時に、データ線からディジット線に至る第2経路とを備えることが好ましい。更に、第2経路は、第1経路を含んで構成してもよい。これにより、第1経路を読み出し経路としながら、書き込み経路を、第2経路、あるいは第1及び第2経路とすることができ、各々に異なる経路とすることができる。従って、読み出し経路である第1経路の接続を、第1電流駆動能力を確保することができるスイッチ部として、スイッチ部による寄生容量成分を最小限に低減して高速な読み出し速度を確保しながら、書き込み経路である第2経路、あるいは第1及び第2経路の接続を、第2電流駆動能力を有する十分に大きなスイッチ部として、書き込みに必要な電流容量を確保することができる。

【0040】また、読み出し経路を第1経路とし、書き込み経路を第2経路として、両経路を並列に設ける場合には、第1経路を構成するスイッチ部を開閉制御する第1制御部を低耐圧素子で構成し、第2経路を構成するスイッチ部を開閉制御する第2制御部を高耐圧素子で構成することができる。これにより、読み出し時に、低耐圧素子で構成される第1経路により、高速動作が可能となり、書き込み時に、高耐圧素子で構成される第2経路により、書き込み動作を確実に行うことができる。

【0041】また、記憶セル情報の読み出しの際に、第1及び第2ディジット線を各々別のデータ線に接続する第1及び第2スイッチ部と、記憶セル情報の書き込みの際、第1ディジット線を第3データ線に接続する第3スイッチ部とを備えることが好ましい。これにより、第1乃至第3スイッチ部の開閉制御により、読み出し時には、第1及び第2ディジット線を1対とした読み出し動作を行い、書き込み時には、第1ディジット線への書き込み動作を行うことができる。

【0042】尚、複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数の前記ローカルディジット線毎に備えられ、ローカルディジット線が択一的に接続されるグローバルディジット線とを備えた階層的なビット線構造を有する不揮発性半導体記憶装置においても、ディジット線に代えてグローバルディ

ジット線に上記の手段を適用すれば、同様な構成及び作用を有し、同様な効果を奏することができる。

【0043】また、請求項6に係る不揮発性半導体記憶装置は、複数の不揮発性記憶セルが接続されているディジット線と、ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、第1ディジット線を介して、選択される不揮発性記憶セルが接続される第1データ線と、第2ディジット線を介して、非選択の不揮発性記憶セルのみが接続される第2データ線と、第1データ線に接続される第1ロード部と、第1ロード部と同様な構成を有し、第2データ線に接続されると共に、記憶セル情報に基づき第1データ線を流れる電流に対して基準となる電流を流す第2ロード部とを備え、第1ロード部は、不揮発性記憶セルから第2ロード部に至る経路にある負荷と同等な負荷を有し、第2ロード部は、不揮発性記憶セルから第1ロード部に至る経路にある負荷と同等な負荷を有して、第1及び第2データ線を1対として、記憶セル情報の読み出しを行うことを特徴とする。

【0044】請求項6の不揮発性半導体記憶装置では、選択される不揮発性記憶セルが、第1ディジット線を介して第1データ線に接続され、非選択の不揮発性記憶セルのみが接続される第2ディジット線は、第2データ線に接続され、両データ線を1対として、記憶セル情報の読み出しが行われる。第1及び第2データ線には、各々、第1及び第2ロード部が接続されている。そして、第2ロード部には、不揮発性記憶セルから第1ロード部に至る経路にある負荷と同等な負荷が備えられ、第1ロード部には、不揮発性記憶セルから第2ロード部に至る経路にある負荷と同等な負荷が備えられている。更に、記憶セル情報の読み出しの際、第2ロード部には、記憶セル情報に基づき第1データ線を流れる電流に対して基準となる電流が流れる。

【0045】これにより、選択される不揮発性記憶セルの記憶セル情報に基づいて、第1ディジット線を介して第1データ線に流れる電流に対して、第2ロード部には、基準電流が流れる。また、第1及び第2ロード部に備えられる負荷は、不揮発性記憶セルから第2及び第1ロード部に至る経路にある負荷と同等な負荷である。第1及び第2ロード部を含む第1及び第2データ線は、記憶セル情報に基づく電流と基準電流との電流経路として同等な構成を有することとなり、製造バラツキや、チップあるいはウェハ面内バラツキ等に関わらず、第1及び第2データ線を1対とする読み出し動作を確実に行うことができる。

【0046】また、請求項7に係る不揮発性半導体記憶装置は、請求項6に記載の不揮発性半導体記憶装置において、第1及び第2ロード部は、不揮発性記憶セルと同等な第1及び第2リファレンスセルを備えることを特徴とする。また、請求項8に係る不揮発性半導体記憶装置

は、請求項6に記載の不揮発性半導体記憶装置において、記憶セル情報に基づく電流に対する基準電流を生成する、不揮発性記憶セルと同等な第3リファレンスセルを含み、基準電流に応じたレギュレート電圧を出力するレギュレータ部を更に備え、第1及び第2ロード部は、レギュレート電圧により電流値が制御される第1及び第2負荷部を備えることを特徴とする。

【0047】請求項7の不揮発性半導体記憶装置では、第1及び第2ロード部に備えられる不揮発性記憶セルと同等な第1及び第2リファレンスセルにより、基準電流が生成される。また、請求項8の不揮発性半導体記憶装置では、不揮発性記憶セルと同等な第3リファレンスセルにより、基準電流が生成される。この基準電流は、レギュレータ部によりレギュレート電圧に変換されて、第1及び第2ロード部に備えられる第1及び第2負荷部を制御して第1及び第2ロード部に基準電流が流れる。

【0048】これにより、不揮発性記憶セルと同等な第1及び第2リファレンスセルにより基準電流を生成するので、製造バラツキや、チップあるいはウェハ面内バラツキ等に関わらず、不揮発性記憶セルの記憶セル情報に基づく電流との整合性が良好な基準電流を生成することができ、第1及び第2データ線を1対とする読み出し動作を確実に行うことができる。また、請求項8の不揮発性半導体記憶装置においては、不揮発性記憶セルと同等な第3リファレンスセルにより生成した基準電流が、レギュレート電圧に変換され第1及び第2負荷部を制御することにより、第1及び第2ロード部に基準電流が生成される。第3リファレンスセルは、ロード部毎に備える必要がなく1つあれば足りる。特に、不揮発性半導体記憶装置が多ビット出力構成である場合、ビット幅分の第1及び第2データ線の対が必要となり、この各々に第1及び第2ロード部が接続されることとなる。この場合にも、第3リファレンスセルは1つ備えていれば良く、ロード部と同数のリファレンスセルを備える場合に比して、ダイサイズの縮小に寄与することができる。また、リファレンスセル間の特性バラツキを調整する必要もなく好都合である。

【0049】また、第1及び第2リファレンスセル、あるいは第3リファレンスセルは、記憶セル情報が格納される不揮発性記憶セルの配置領域とは異なる配置領域に配置されることが好ましい。これにより、リファレンスセルには、書き込み時等に不揮発性記憶セルに印加される電圧ストレスは印加されず、リファレンスセルの特性変動は招来されないため、安定した基準電流を生成することができる。

【0050】また、第1及び第2リファレンスセルあるいは第1及び第2負荷部と、基準電位とを接続する第1及び第2選択スイッチとを備え、第2選択スイッチが選択的に導通することが好ましい。これにより、第2選択スイッチは、不揮発性記憶セルのソース側に接続される

負荷と同等な負荷に設定することができ、記憶セル情報に基づく電流の電流経路と基準電流の電流経路との経路上の負荷を更に精度良く合せこむことができる。

【0051】また、レギュレータ部は、第3リファレンスセルを含む基準電流生成部と、第1及び第2負荷部と同等な第3負荷部を含むレギュレート電圧生成部とを備えることが好ましい。また、基準電流生成部で生成される基準電流を、レギュレート電圧生成部にミラーする電流ミラー部と、レギュレート電圧生成部において、ミラーされた基準電流を流すように第3負荷部を制御するフィードバック部とを備えることもできる。更に、フィードバック部は、レギュレート電圧を出力するように設定することが好ましい。これにより、第3リファレンスセルを含む基準電流生成部により生成される基準電流を、レギュレート電圧生成部においてレギュレート電圧に変換することができる。その際、電流ミラー部により、基準電流生成部により生成される基準電流をレギュレート電圧生成部に渡ミラーし、レギュレート電圧生成部の第3負荷部に、ミラーされた基準電流が流れるようにフィードバック部を構成すれば、第3負荷部と同様な第1及び第2負荷部には、基準電流を流すことができる。

【0052】尚、複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数の前記ローカルディジット線毎に備えられ、ローカルディジット線が択一的に接続されるグローバルディジット線とを備えた階層的なビット線構造を有する不揮発性半導体記憶装置においても、ディジット線に代えてグローバルディジット線に上記の手段を適用すれば、同様な構成及び作用を有し、同様な効果を奏することができる。

【0053】また、請求項9に係る不揮発性半導体記憶装置は、複数の不揮発性記憶セルが接続されている、複数のディジット線と、ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、ディジット線を介して、選択される不揮発性記憶セルが接続され、記憶セル情報に基づく電流が流れる第1データ線と、基準電流が流れる第2データ線と、第1及び第2データ線が接続され、記憶セル情報に基づく電流と基準電流とを比較する電流比較部とを備え、電流比較部は、電流ミラー構成を有する電流負荷部と、第1及び第2データ線と電流負荷部との接続を切り替える接続切り換え部とを備えることを特徴とする。また、請求項10に係る不揮発性半導体記憶装置は、第1及び第2データ線が電流比較部に接続され、電流比較部は、第1及び第2データ線に対して基準電流に相当する電流を流す電流負荷部を備えることを特徴とする。

【0054】請求項9の不揮発性半導体記憶装置では、記憶セル情報に基づく電流が流れる第1データ線と、基準電流が流れる第2データ線とを、電流比較部の電流負荷部における電流ミラー構成に接続する際、適宜に接続を切り替える接続切り換え部を介して行う。また、請求

項10の不揮発性半導体記憶装置では、電流比較部に接続される第1及び第2データ線に、電流負荷部から基準電流に相当する電流が流される。

【0055】これにより、記憶セル情報に基づく電流と、電流負荷部により供給される基準電流との差電流に基づき、記憶セル情報を読み出すことができる

【0056】この時、接続切り換え部は、第2データ線が、電流負荷部の電流ミラー構成における基準側に接続されるように制御される。これにより、第2データ線を通る基準電流が、電流ミラー構成を介して第1データ線に供給されるので、差電流を得ることができる

【0057】また、接続切り換え部は、第1及び第2データ線の電圧に関わらず、電流負荷部側に印加される電圧を制限する分圧部を含むことが好ましい また、請求項10の不揮発性半導体記憶装置においては、第1及び第2データ線と電流負荷部との間に、第1及び第2データ線の電圧に関わらず、電流負荷部側に印加される電圧を制限する分圧部を備えることが好ましい これにより、第1及び第2データ線に書き込み時等の高電圧が印加される場合にも、電流負荷部の構成素子を低耐圧素子にすることができる

【0058】また、電流負荷部から出力される電圧に関わらず、第1及び第2データ線側に印加される電圧を制限するバイアス部を備えることが好ましい これにより、電流負荷部において、記憶セル情報に基づく電流と基準電流との差電流に基づいて発生する電圧値を次段回路に最適な電圧値としながら、第1及び第2データ線に印加される電圧値を制限して、第1及び第2データ線から第1及び第2ディジット線を介して不揮発性記憶セルに印加される電圧を制限することができ、記憶セルのディスタート現象を回避することができる。

【0059】尚、複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数の前記ローカルディジット線毎に備えられ、ローカルディジット線が択一的に接続されるグローバルディジット線とを備えた階層的なビット線構造を有する不揮発性半導体記憶装置においても、ディジット線に代えてグローバルディジット線に上記の手段を適用すれば、同様な構成及び作用を有し、同様な効果を奏することができる。

【0060】

【発明の実施の形態】以下、本発明の不揮発性半導体記憶装置について具体化した第1乃至第4実施形態を図1乃至図21に基づき図面を参照しつつ詳細に説明する。図1は、本発明の第1実施形態における不揮発性半導体記憶装置の全体構成図を示すブロック図である。図2は、第1実施形態におけるメモリア部の原理構成図を示す回路図である。図3は、メモリア部の第1具体例を示す回路図である。図4は、メモリア部の第2具体例を示す回路図である。図5は、メモリア部の第1及び第2具体例における冗長構成を示す回路図である。図

6は、第1実施形態におけるコラム選択部の第1原理構成図を示す回路図である。図7は、コラム選択部の第1具体例を示す回路図である。図8は、実施形態におけるコラム選択部の第2原理構成図を示す回路図である。図9は、コラム選択部の第2具体例を示す回路図である。図10は、第1実施形態におけるロード部の第1原理構成図を示す回路図である。図11は、ロード部の第1具体例を示す回路図である。図12は、第1実施形態におけるロード部の第2原理構成図を示す回路図である。図13は、ロード部の第2具体例を示す回路図である。図14は、ロード部の第3具体例を示す回路図である。図15は、第1実施形態における電流比較部の原理構成図を示す回路図である。図16は、電流比較部の第1具体例を示す回路図である。図17は、電流比較部の第2具体例を示す回路図である。図18は、第1実施形態の読み出し動作を示す動作波形図である。図19は、第2実施形態のメモリア部を示す回路図である。図20は、第3実施形態のメモリア部を示す回路図である。図21は、第4実施形態のメモリア部を示す回路図である

【0061】まず、第1実施形態の不揮発性半導体記憶装置の全体構成を示す。図1の全体構成図では、図22に示す従来技術の不揮発性半導体記憶装置におけるメモリア部A100、コラム選択部B100に代えて、メモリア部A、コラム選択部Bを備えている。ここで、メモリア部A内のグローバルビット線GBLの選択方法が、メモリア部A100とは異なるため、ワード線WL選択用のデコーダは、デコーダ101に代えて、デコーダ1、2が備えられている。また、リファレンス専用のリファレンスバス線RB及び読み出し/プログラム共用のデータバス線LDBに代えて、読み出し用のデータバス線としてデータバス線LDB(1)、LDB(2)が1対で備えられると共に、プログラム用データバス線WDBが別途備えられている。そして、読み出し時のデータバス線構造の変更に伴い、カスコード部104、105、及び寄生容量の調整のための容量負荷CLD1、CLD2に代えて、ロード部C、及び電流比較部Dが備えられている。ここで、データバスLDB(0)、LDB(1)は、8ビット、16ビット等の多ビット構成であるため、ロード部C、及び電流比較部Dは、ビット幅分が備えられている。

【0062】図1において、メモリア部Aは、ワード線WLにより選択される記憶セルMCが、グローバルビット線GBLに接続されている様子を模式的に示している。記憶セルMCは、所定数毎にセクタSE C_m、SE C_nに分割配置されており、デコーダ1、2により、セクタ内の所定グループ毎に選択されてグローバルビット線GBLに接続されている。即ち、デコーダ1は、所定制御信号Sにより、各セクタSE C_m、SE C_nにおいて、グローバルビット線GBLのうち、グローバルビッ

ト線GBL(0)に接続される記憶セルMC群を選択するようにワード線WLを活性化する。また、デコード2は、所定制御信号Sにより、グローバルビット線GBL(1)に接続される記憶セルMC群を選択するようにワード線WLを活性化する。ここで、グローバルビット線GBL(0)、GBL(1)は、グローバルビット線GBLを所定数毎に分割してグループ化したグローバルビット線群である。また、所定制御信号Sは、記憶セルMCが接続されるグローバルビット線GBL(0)、GBL(1)のグループを選択する制御信号であり、専用の制御信号、あるいはアドレス信号の一部や、アドレス信号に基づき生成される信号である。デコード1、2は、アドレス信号Addをデコードして何れか1つのワード線WLを選択し、グローバルビット線GBL(0)、GBL(1)のうちの何れか一つのグループに記憶セルMCを接続する。

【0063】コラム選択部Bは、グローバルビット線GBL(0)、GBL(1)を、読み出し時にデータバス線LDB(0)、LDB(1)に接続する部分である。選択された記憶セルMCが接続されているグローバルビット線(GBL(0)、あるいはGBL(1))のうちから、読み出すべき記憶セルMCが接続されているグローバルビット線を選択してデータバス線(LDB(0)、あるいはLDB(1))に接続する。他方のデータバス線(LDB(1)、あるいはLDB(0))は、選択された記憶セルMCが接続されていないグローバルビット線(GBL(1)、あるいはGBL(0))が接続される。こうして選択されたデータバス線LDB(0)、LDB(1)を1対として読み出しを行う。接続は、アドレス信号Addから生成したデコード信号により、グローバルビット線GBL(0)、GBL(1)と、データバス線LDB(0)、LDB(1)との間のスイッチ部を開閉制御することにより行う。

【0064】一方、プログラム時には、グローバルビット線GBL(0)、GBL(1)は、プログラム用データバス線WDBに接続される。選択された記憶セルMCが接続されているグローバルビット線(GBL(0)、あるいはGBL(1))のうちから、プログラムすべき記憶セルMCが接続されているグローバルビット線を選択してデータバス線(LDB(0)、あるいはLDB(1))に接続する。

【0065】ロード部Cは、データバス線LDB(0)、LDB(1)に負荷LDを接続すると共に、読み出し時、所定制御信号/Sにより、選択された記憶セルMCに接続されないデータバス線(LDB(1)、あるいはLDB(0))に、リファレンス電流源IRFを接続する。ここで、負荷LDは、記憶セルMCが接続されているローカルビット線からグローバルビット線GBL(0)、GBL(1)を介してデータバス線LDB(0)、LDB(1)に至る経路上の負荷と同等の負荷

である。また、所定制御信号/Sは、専用の制御信号、あるいはアドレス信号の一部や、アドレス信号に基づき生成される信号である。

【0066】電流比較部Dは、データバス線(LDB(0)、あるいはLDB(1))に流れる記憶セル情報に基づく電流を、データバス線(LDB(1)、あるいはLDB(0))に流れるリファレンス電流IRFを基準電流と比較して検出する。電流比較部Dにおいて、データバス線LDB(0)、LDB(1)は、インターフェース部IFを介して電流負荷部LIに接続されている。電流負荷部LIは、リファレンス電流IRFに相当する電流をデータバス線LDB(0)、LDB(1)に流す。データバス線LDB(0)及びLDB(1)を流れる電流と、電流負荷部LIからの電流との差電流が検出される。この差電流は、後段の差動アンプ106により増幅されて、記憶セル情報が読み出しデータDATAとして出力される。

【0067】尚、以上に説明した以外の構成要素について、同一の番号を付したものは、従来技術と第1実施形態との間で同一の構成要素を現しており、ここでの説明は省略する。

【0068】次に、メモリア部A、コラム選択部B、ロード部C、及び電流比較部Dの各々の構成部分について、図2乃至17に基づき順次説明する。

【0069】先ず、メモリア部Aについて図2乃至5により説明する。図2は、メモリア部A0の原理構成図である。メモリア部A0は、所定数の記憶セル毎に分割され、複数のセクタが構成されている。セクタ内には、各々、複数のローカルビット線が配置され、各ローカルビット線には、複数の記憶セルが接続されている。記憶セルは、記憶セル情報を格納する不揮発性トランジスタと、記憶セル情報の読み出し時に基準電位への電流経路を形成するスイッチトランジスタとを備えている。また、ローカルビット線は、セクタスイッチを介してグローバルビット線に接続される。グローバルビット線は、隣接する2本で1対をなしており、セクタ毎に交互にローカルビット線と接続されている。図2では、2つのセクタSECM、SECNが示されており、各々のセクタSECM、SECN内には、ローカルビット線LBLm、LBLnが例示されている。ローカルビット線LBLm、LBLnには、不揮発性トランジスタMCm、MCnが接続されており、スイッチトランジスタQSm、QSnを介して基準電位に接続されて記憶セルを構成している。ローカルビット線LBLm、LBLnは、セレクトスイッチSSm、SSnを介してグローバルビット線GBLm、GBLnに接続される。

【0070】セレクトスイッチSSm、SSnは、制御信号SECYm、SECYnで選択され、スイッチトランジスタQSm、QSnは、制御信号Sm、Snで選択される。また、不揮発性トランジスタMCm、MCn

は、ワード線WL_m、WL_nにより選択される。制御信号SECY_mとS_m及びワード線WL_m、あるいは制御信号SECY_nとS_n及びワード線WL_nは、選択される何れかのセクタSEC_m、SEC_nに対して活性化され、選択された記憶セルをグローバルビット線GBL_m、GBL_nに接続して、読み出し動作やプログラム動作が行われる。

【0071】ここで、読み出し動作の際には、読み出し信号Rを受けた回路10が、制御信号SECY_mとSECY_nとを同時に活性化する。図2においては、制御信号SECY_mとSECY_nとを短絡するように示したが、制御信号SECY_mとSECY_nとを同時に活性化する目的を達成することができれば短絡する方法には限定されない。他の方法として例えば、アドレス信号等からデコードされて生成される制御信号SECY_m、SECY_nについて、読み出し動作時にデコードの階層を1階層浅くすることにより、両制御信号を同時に活性化することも可能である。

【0072】これにより、記憶セル情報が格納されている記憶セルをセクタSEC_m、SEC_n毎にワード線WL_m、WL_nにより選択するという従来のアクセス方法を踏襲しながら、読み出し時に、選択される記憶セルが接続されないローカルビット線LBL_nを、記憶セル情報が読み出されるグローバルビット線GBL_mに隣接するグローバルビット線GBL_nに接続することができる。隣接する2本のグローバルビット線GBL_m、GBL_nを1対として読み出し動作を行うことができる。

【0073】以下、図2の原理構成図に基づくメモリコア部の具体例を示す。図3は、第1具体例である。メモリコア部A1内の2つのセクタSEC0、SEC1部分について示している。ここでは、セクタSEC0に配置されている記憶セルを選択する場合を考える。セクタSEC0が選択され制御信号S0が活性化されて、スイッチトランジスタQS0が活性化される。また、ワード線WL0が活性化されると、選択された記憶セルMC00乃至MC07が、各ローカルビット線LBL00乃至LBL07に接続される。そして、スイッチトランジスタQS0を介して基準電位に接続され記憶セル情報に基づく電流経路が形成される。ローカルビット線LBL00乃至LBL07は、制御信号SECY00乃至SECY03のうち、何れか1つが活性化されることにより、該当するセクタスイッチSS00乃至SS07が選択されて、グローバルビット線GBL0乃至GBL3のうち、偶数番、あるいは奇数番のグローバルビット線GBL0、2、あるいはGBL1、3に接続される。

【0074】セクタスイッチSS00乃至SS07によるローカルビット線を選択に合わせて、隣接する非選択のセクタSEC1における同様の位置関係にあるローカルビット線LBL10乃至LBL17が、該当するグローバルビット線に接続される。即ち、制御信号SECY

00乃至SECY03に対して、制御信号SECY10乃至SECY13が同時に活性化され、セクタSEC0、SEC1内のローカルビット線LBL00乃至LBL07と、LBL10乃至LBL17が、共にグローバルビット線GBL0とGBL1、GBL2とGBL3に接続される。非選択セクタSEC1内のローカルビット線は、選択セクタSEC0内のローカルビット線と同数の記憶セルが接続されており、セクタ内の位置関係も同等であるので、周囲環境との物理パラメータも同等であり、同等の寄生容量を有している。また、両ローカルビット線が接続されるグローバルビット線は、隣接配置されているので、周囲環境からの物理パラメータが同等であり、同等の寄生容量を有する。

【0075】第1具体例A1によれば、選択セクタSEC0のローカルビット線が接続され、記憶セル情報が伝播するグローバルビット線GBL0、GBL2、あるいはGBL1、GBL3をセル情報側とし、非選択セクタSEC1のローカルビット線が接続されるグローバルビット線GBL1、GBL3、あるいはGBL0、GBL2をリファレンス側として、両グローバルビット線を1対として記憶セル情報を読み出す際、経路上に存在する寄生容量による負荷をセル情報側とリファレンス側とで理想的に同等とすることができる。

【0076】また、1対のグローバルビット線GBL0とGBL1、GBL2とGBL3が隣接して配置されているので、一方のグローバルビット線に印加されたノイズは、他方のグローバルビット線にも伝播され、隣接するグローバルビット線間で、同等のノイズが乗る。従って、両グローバルビット線を1対とする読み出し動作において、ノイズの影響を相殺することができる。

【0077】尚、制御信号SECY10乃至SECY13のセクタSEC1内での接続関係をセクタSEC0と同様として、制御信号SECY10乃至SECY13の生成回路(図3中、下段の論理回路)の回路構成をセクタ間で同一にしながら(図3中、II)、読み出し動作において対を構成するグローバルビット線GBL0とGBL1、GBL2とGBL3を、セクタ間で交差させることにより(図3中、I)、隣接グローバルビット線GBL0とGBL1、GBL2とGBL3に接続されるローカルビット線の位置関係を同様な位置関係にすることができる。これにより、隣接グローバルビット線に接続されるローカルビット線の各々は、他のローカル/グローバルビット線、ワード線、その他の配線、及び構成素子等の周辺構造との間で、同等の位置関係を有することとなる。また、隣接グローバルビット線GBL0とGBL1、GBL2とGBL3もセクタ毎に交差するので、周辺構造との位置関係も同等となる。従って、これらの周辺構造との間で形成される寄生容量は、両経路間で同等とすることができる。

【0078】ここで、制御信号SECY10乃至SEC

Y13を生成する生成回路を図3の下段に示す。アドレス信号等からデコード等されたグローバルビット線に接続すべきセクタスイッチ位置を示す制御信号SECN ($n=0$ 乃至3)は、アンドゲート12、14に入力されている。アンドゲート12、14の他方の入力端子には、オアゲート11、13の出力端子が接続されている。オアゲート11、13には、セクタSEC0、SEC1を選択する制御信号S0、S1と、読み出し信号Rが入力されている。プログラム動作の場合には、選択セクタに応じてオアゲート11、13の何れか一方が活性化されるため、アンドゲート12、14の何れか一方が活性化され、制御信号SECY0n、あるいはSECY1n ($n=0$ 乃至3)が活性化されることにより、選択された記憶セルに至るセクタスイッチのみが活性化される。しかるに読み出し動作においては、読み出し信号Rにより、オアゲート11、13が共に活性化され、制御信号SECY0n、SECY1n ($n=0$ 乃至3)が共に活性化される。選択された記憶セルに至るセクタスイッチのみではなく、非選択セクタにおける同等位置にあるローカルビット線も、隣接グローバルビット線に接続される。

【0079】図4は、第2具体例A2である。基本的な構成、作用は、第1具体例A1と同様である。第1具体例A1との違いは、グローバルビット線がセクタ毎に交差しないことである(図4中、I)。これに伴い、制御信号SECY10乃至SECY13のセクタSEC1内での接続関係をセクタSEC0における接続関係とは変えている(図4中、II)。即ち、読み出し時、図3の生成回路(図3中、下段の論理回路)により、制御信号SECY00乃至SECY03と、制御信号SECY10乃至SECY13とを同時出力しながら、セクタSEC0に対してセクタSEC1におけるセクタスイッチの選択位置をずらすことにより、選択セクタSEC0と非選択セクタSEC1とのローカルビット線を隣接するグローバルビット線GBL0とGBL1、GBL2とGBL3に接続している。具体的には、制御信号SECY00、SECY10に対してはセクタスイッチSS00とSS04、SS12とSS16を選択、SECY01、SECY11に対してはSS01とSS05、SS13とSS17、SECY02、SECY12に対してはSS03とSS07、SS11とSS15、SECY03、SECY13に対してはSS02とSS06、SS10とSS14を選択する。

【0080】第2具体例A2によれば、選択セクタのローカルビット線が接続されるセル情報側のグローバルビット線と、非選択セクタのローカルビット線が接続されるリファレンス側のグローバルビット線側とを、1対として記憶セル情報を読み出す際、経路上に存在する寄生容量による負荷をセル情報側とリファレンス側とで理想的に同等とすることができる。

【0081】また、1対のグローバルビット線が隣接して配置されているので、一方のグローバルビット線に印加されたノイズは、他方のグローバルビット線にも伝播され、グローバルビット線間で同等のノイズが乗り、1対のグローバルビット線間で同相のノイズが印加されることとなる。1対のグローバルビット線を隣接することにより、両グローバルビット線を1対とする読み出し動作において、ノイズの影響を相殺することができる。

【0082】第1及び第2具体例A1、A2により具体化したメモリア部の原理構成図A0によれば、読み出し動作において、セル情報側のグローバルビット線(GBLmあるいはGBLn)と、同等な経路構成を有するリファレンス側のグローバルビット線(GBLnあるいはGBLm)とを1対とし、隣接配置する。これにより、製造バラツキや、チップあるいはウェハ面内におけるバラツキに関わらず、1対のグローバルビット線GBLm、GBLnは、常に同等の寄生容量による負荷を有することとなり、読み出し時において同等な過渡応答特性が安定して得られる。従って、1対のグローバルビット線GBLm、GBLnにおける電位変化が平衡状態に落ち着くのを待たず過渡期間にセンスしても、記憶セル情報を安定して高速に読み出すことができる。また、両経路には同相のノイズが乗るので、ノイズは相殺され、記憶セル情報の読み出し信頼性が向上する。

【0083】また、選択セクタ(SECmあるいはSECN)に隣接する非選択セクタ(SECNあるいはSECm)内のローカルビット線(LBLnあるいはLBLm)を、リファレンス側の負荷として使用することができる。また、両セクタは隣接しているため、各々のセクタSECm、SECNからグローバルビット線GBLm、GBLnに至る経路間の寄生容量による負荷、及びノイズによる影響を同等にすることができる。

【0084】図5には、第1及び第2具体例A1、A2における、欠陥救済のための冗長構成SP0、SP1を示している。冗長構成SP0、SP1は、セクタSEC0、SEC1における読み出しの基本構成である1対のグローバル線GBL0とGBL1、GBL2とGBL3に接続されている構成と同様な構成を最小単位として構成されている。図5においては、グローバルビット線SGBL0、SGBL1を1対とした構成を示している。これにより、欠陥を救済して冗長構成SP0、SP1から記憶セル情報を読み出す場合にも、隣接するグローバルビット線SGBL0、SGBL1を1対とした読み出し構成を維持することができ、冗長構成SP0、SP1に移行しない場合と同等な読み出し性能を維持することができる。グローバルビット線SGBL0、SGBL1の冗長構成SP0、SP1毎の接続関係や、制御信号SPY00乃至SPY03とSPY10乃至SPY13との接続関係は、第1及び第2具体例A1、A2に合わせて、適宜調整する。

【0085】尚、制御信号SPY00乃至SPY13を生成する生成回路(図4中、下段の論理回路)は、図3に示した制御信号SECY00乃至SECY13を生成する生成回路と同様である。冗長構成SP0、SP1におけるセクタスイッチ位置を示す制御信号SPn(n=0乃至3)と、セクタSEC0、SEC1を選択する制御信号S0、S1、及び読み出し信号Rにより、読み出し動作において、制御信号SPY0n、SPY1n(n=0乃至3)が共に活性化される。

【0086】次に、コラム選択部Bについて図6乃至9により説明する。図6は第1原理構成図B01であり、その具体例を第1具体例B1として図7に示し、図8は第2原理構成図B02であり、その具体例を第2具体例B2として図9に示している。

【0087】図6の第1原理構成図B01では、メモリコア部A内のグローバルビット線GBLと、外部データバス(LDB:読み出し用、WDB:プログラム用)との接続を、各々異なる経路で行い、専用のパスゲート(リード用パスゲート21、プログラム用パスゲート20)を備える構成である。リード用パスゲート21からは、読み出し用の1対のデータバスLDB(0)、LDB(1)が出力されており、1対のグローバルビット線と接続される。一方、プログラム用パスゲート20では、書き込み用のデータバスWDBがグローバルビット線GBLに接続される。パスゲートを選択するコラム選択信号(YDR1:読み出し用、YDP1、YDP0:プログラム用)は、各々、リード用デコード部23、プログラム用デコード部22によりアドレス信号Addをデコードして得られる。

【0088】図7に示す第1具体例B1では、32本のグローバルビット線GBL0乃至GBL31が、16本のコラム選択信号YDR10乃至YDR1F、YDP10乃至YDP1Fにより、隣接する1対のグローバルビット線毎に選択される。読み出しの場合は、この1対のグローバルビット線が1対のデータバスLDB0、LDB1に接続される。プログラムの場合は、更に2本のコラム選択信号YDP0E、YDP0Oで、1対のグローバルビット線のうち何れか一方が選択されてプログラム用のデータバス線WDBに接続される。

【0089】読み出し側のパスゲート21は、2つのパスゲートトランジスタPG00とPG01乃至PGF0とPGF1を1対として、16本のコラム選択信号YDR10乃至YDR1Fにより制御される。読み出し時の記憶セル情報は電流信号であり、また、不揮発性記憶セルへの不測の電圧印加によるディスタープ現象を防止するため、読み出し時にグローバルビット線GBL0乃至GBL31に現れる電圧は0.5V程度に制限されている。そのため、コラム選択信号YDR10乃至YDR1Fの駆動電圧も高電圧は必要とされない。図7においては、周辺論理回路の電源電圧VCCで駆動されている。

ここで、電源電圧VCCの具体的な電圧値はプロセステクノロジーに依存するが、例えば、3V、2.5V、1.8V等が考えられる。即ち、アドレス信号Add(u)をデコードしてコラム選択信号YDR10乃至YDR1F出力するリード用デコード部23は、周辺論理回路と同じデバイスで構成することができ、高速動作をさせることができる。

【0090】また、パスゲートトランジスタPG00とPG01乃至PGF0とPGF1は、読み出し専用であり、従来技術のようなプログラム用と兼用された高駆動能力トランジスタ(図24)は不要である。読み出し時の電流はプログラム時に比して小さいので、駆動能力を小さく設定することができ、ゲート容量も小さくすることができる。リード用デコード部23の高速動作と相俟って、パスゲートトランジスタPG00乃至PGF1のスイッチングも高速動作をさせることができ、グローバルビット線からデータバス線LDB0、LDB1への電流経路選択の高速化を実現することができる。

【0091】プログラム側のパスゲート20は、2つのパスゲートトランジスタを1対とした16対から、コラム選択信号YDP10乃至YDP1Fにより1対を選択する読み出し側と同様構成の第1段と、選択された1対のうちコラム選択信号YDP0E、YDP0Oにより何れか一方を選択する第2段との2段構成で、プログラム用データバスWDBとグローバルビット線GBL0乃至GBL31のうちの1本を接続する。コラム選択信号YDP10乃至YDP1Fを出力する第1段プログラム用デコード部22Aは、上位のアドレス信号Add(u)をデコードし、コラム選択信号YDP0E、YDP0Oを出力する第2段プログラム用デコード部22Bは、最下位のアドレス信号Add(LSB)をデコードする。

【0092】プログラム動作においては、不揮発性記憶セルにプログラム電圧VPPを印加してキャリアをプログラムする必要から、パスゲートトランジスタは、高耐圧、高電流駆動能力が必要とされており、このパスゲートトランジスタを駆動するプログラム用デコード部22A、22Bも高電圧であるプログラム電圧VPPで駆動される。これらを高耐圧素子で構成することにより確実にプログラム動作を行わせることができる。パスゲートトランジスタは所定駆動能力以上の駆動能力を有するトランジスタサイズが必要とされ、このトランジスタを駆動するプログラム用デコード部22A、22Bにも相応の駆動能力が必要とされる。パスゲート20の構成を2段構成とすることにより、駆動能力を保ちながらプログラム用デコード部22A、22Bにおける駆動回路数の圧縮を図り、チップ上の占有面積の縮小を図ることができる。即ち、従来技術における1段構成(図24)では、32セットの駆動回路が必要になるのに対して、図7では、18セットの駆動回路で構成することができる。

【0093】第1具体例のコラム選択部B1（原理構成図B01）によれば、所定数のグローバルビット線GBL0乃至GBL31から、該当する1対のグローバルビット線を選択する際、アドレス信号Add(u)、Add(LSB)等をデコードする必要がある。読み出し時には、1対のグローバルビット線を共に選択するので、デコード階層を、書き込みに比して浅く設定することができ、読み出し用のコラム選択部21、23をコンパクトにすることができる。

【0094】また、記憶セル情報の読み出し時とプログラム時とにおいて、バスゲートトランジスタの電流駆動能力が、小さい/大きいトランジスタを備えておく。読み出し時及びプログラム時において、最適な電流駆動能力でグローバルビット線とデータバス線とを接続することができる。

【0095】図8の第2原理構成図B02では、バスゲートは、グローバルビット線GBLから1対を選択して1対の読み出し用のデータバス線LDB(0)、LDB(1)に接続する1段目バスゲート24と、1対のデータバス線LDB(0)、LDB(1)のうち何れか一方を選択してプログラム用のデータバスWDBに接続する2段目バスゲート25から構成されており、読み出し用の電流経路である1段目バスゲート24に2段目バスゲート25を加えて、プログラム用の電流経路を形成する構成である。バスゲートを選択するコラム選択信号YD1、YD0は、デコード部26によりアドレス信号Addをデコードして得られる。コラム選択信号YD1は1段目バスゲート24の選択に、コラム選択信号YD0は2段目バスゲート25の選択に使用される。

【0096】図9に示す第2具体例B2のバスゲートは、図7に示す第1具体例B1におけるプログラム側のバスゲート20と同様の構成である。バスゲート20に加えて、1段目バスゲート24と2段目バスゲート25との接続点を、読み出し用の1対のデータバスLDB0、LDB1としている。コラム選択信号YDP10乃至YDP1Fにより、16対のバスゲートトランジスタPG00とPG01乃至PGF0とPGF1から1対を選択して、1対のグローバルビット線GBL0とGBL1乃至GBL30とGBL31を読み出し用のデータバスLDB0、LDB1に接続する。コラム選択信号YDP0E、YDP0Oが、バスゲートトランジスタPGE、PGOの何れか一方を選択して、データバスLDB0、LDB1の何れかをプログラム用のデータバスWDB0に接続する。

【0097】プログラム動作において、不揮発性記憶セルにプログラム電圧VPPを印加する必要から、1段目、2段目のバスゲート24、25は何れも高耐圧トランジスタで構成される。また、読み出し時の電流駆動能力は小さくすることができる一方で、プログラム時には高電流駆動が必要とされる。1段目バスゲート24の構

成トランジスタPG00乃至PGF1の駆動能力を小さくして寄生容量成分を抑制しながら、2段目バスゲート25の構成トランジスタPGE、PGOを十分に大きな駆動能力としてオン抵抗を小さくする。これにより、読み出し経路の寄生容量が小さく維持され高速読み出しを可能としながら、2段のバスゲート24、25により2つのトランジスタのオン抵抗としてプログラム経路に挿入される抵抗成分が小さく維持され、良好なプログラム特性を確保することができる。

【0098】更に、第2具体例B2では、バスゲート及びデコード部を読み出し側とプログラム側とで一部共用するので、コラム選択部B2をコンパクトな素子数で構成することができる。

【0099】次に、ロード部Cについて図10乃至14により説明する。図10は、ロード部Cの第1原理構成図C01である。ロード部C01は、読み出し用のデータバス線LDB(0)、LDB(1)の各々に、負荷LDと、メモリコア部Aにおける不揮発性記憶セルMC及びスイッチトランジスタQSと同等な構成を有する、不揮発性記憶セルRC(0)、RC(1)及びスイッチトランジスタQSL(0)、QSL(1)とを接続する構成である。ここで、負荷LDは、メモリコア部A内のローカルビット線及びグローバルビット線からコラム選択部Bを介してデータバス線LDB(0)、LDB(1)に至る経路上に存在する負荷LDと同等の負荷LDである。また、不揮発性記憶セルRC(0)、RC(1)及びスイッチトランジスタQSL(0)、QSL(1)はリファレンスセルであり、不揮発性記憶セルMC及びスイッチトランジスタQSに格納されている記憶セル情報に基づく電流I_{dat}を検出するためのリファレンス電流I_{ref}を流す。スイッチトランジスタQSL(0)、QSL(1)は、電流I_{dat}が流れるデータバス線LDB(0)と対をなすデータバス線LDB(1)にリファレンス電流I_{ref}を流すように開閉制御される。

【0100】図11に示す第1具体例C1では、データバス線LDB0、LDB1の各々に、同等なロード部分が接続されている。各ロード部分は、リファレンスセル部33、34と、スイッチトランジスタQSL0、QSL1を有する選択部31、32とを備えており、この接続順序でデータバス線LDB0、LDB1と基準電位との間に接続されている。

【0101】リファレンスセル部33、34は、リファレンスセルRC0、RC1と、負荷LDとしてトランジスタPGL0とSSL0、PGL1とSSL1とを備えて構成されている。ここで、トランジスタSSL0とSSL1は、ローカルビット線とグローバルビット線とを接続するセクタスイッチ（図2におけるSS_m、SS_n、図3、4におけるSS00乃至SS17）と同等な構成を有するトランジスタである。また、トランジスタ

PGL0とPGL1は、コラム選択部B1、B2における読み出し用のパスゲート21、24を構成するパスゲートトランジスタ(図7、9におけるPG00乃至PGF1)と同等な構成を有するトランジスタである。これらのトランジスタのゲートに電源電圧VCCを印加することにより、ローカルビット線からデータバス線LDB0、LDB1に至る経路に存在するトランジスタと同等な負荷LDを構成している。尚、リファレンスセルRC0、RC1のゲートは、後述のスイッチトランジスタQSL0、QSL1を開閉制御するリファレンス選択信号Y01、Y00、あるいはこれらの信号と同相の信号により制御される。

【0102】スイッチトランジスタQSL0、QSL1は、リファレンスセル部33、34と、基準電位の間に備えられており、最下位のアドレス信号Add(LSB)をデコードして得られるリファレンス選択信号Y01、Y00により何れか一方が選択される。ここでの選択は、情報の読み出しが行われる記憶セルが接続されるデータバス線LDB0あるいはLDB1と対をなすデータバス線LDB1あるいはLDB0である。

【0103】第1具体例C1に示された第1原理構成のロード部C01によれば、データバス線LDB0、LDB1の各々に接続されるロード部C1(第1原理構成図C01)は、記憶セル情報に基づきデータバス線LDB0あるいはLDB1を流れる電流Idatに対して基準となるリファレンス電流Irefを、データバス線LDB1あるいはLDB0に流す。また、不揮発性記憶セルMCからデータバス線LDB0、LDB1に至る経路にある負荷LD(図10)と同等な負荷PGL0とSSL0、PGL1とSSL1(図11)を有して構成されている。負荷が相互に同等なため、記憶セル情報に基づく電流Idatとリファレンス電流Irefとの電流経路を含め、1対のデータバス線LDB0、LDB1は同等な構成を有することとなり、製造バラツキや、チップあるいはウェハ面内バラツキ等に関わらず、データバス線LDB0、LDB1を1対とする読み出し動作を確実に行うことができる。

【0104】また、ロード部C1(第1原理構成図C01)は、不揮発性記憶セルMCと同等なリファレンスセルRC0、RC1を備えている。このリファレンスセルRC0、RC1によりリファレンス電流Irefを生成するので、製造バラツキや、チップあるいはウェハ面内バラツキ等に関わらず、不揮発性記憶セルMCの記憶セル情報に基づく電流Idatとの整合性が良好なリファレンス電流Irefを生成することができ、データバス線LDB0、LDB1を1対とする読み出し動作を確実に行うことができる。

【0105】また、リファレンスセルRC0、RC1は、記憶セル情報が格納される不揮発性記憶セルMCの配置領域とは異なる配置領域に配置することもできる。

これにより、リファレンスセルRC0、RC1には、プログラム時等に不揮発性記憶セルMCに印加される電圧ストレスは印加されず、リファレンスセルRC0、RC1の特性変動は招来されないため、安定したリファレンス電流Irefを生成することができる。

【0106】また、リファレンスセルRC0、RC1と、基準電位とを接続するスイッチトランジスタQSL0、QSL1は、不揮発性記憶セルMCのソース側に接続される負荷となるスイッチトランジスタQSと同等な負荷に設定することができ、記憶セル情報に基づく電流Idatの電流経路とリファレンス電流Irefの電流経路との経路上の負荷を更に精度良く合せこむことができる。

【0107】図12は、ロード部Cの第2原理構成図C02である。ロード部C02は、第1原理構成図C01と同様な、負荷LDと、スイッチトランジスタQSL(0)、QSL(1)を備えると共に、不揮発性記憶セルRC(0)、RC(1)に代えて、電圧制御電流源IRF(0)、IRF(1)を備えて構成されるロード部分36をそなえている。更に、メモリコア部Aにおける不揮発性記憶セルMC及びスイッチトランジスタQSと同等な不揮発性記憶セルRC0及びスイッチトランジスタQSL0とを有してリファレンス電流Irefを生成し、このリファレンス電流Irefを電圧値に変換する電流電圧変換部37を有するレギュレータ部を備えている。ロード部C02は、電流電圧変換部37により、リファレンス電流Irefに応じて出力されるレギュレート電圧で電圧制御電流源IRF(0)、IRF(1)を制御することにより、リファレンス電流Irefに相当する電流をロード部分36から出力する。スイッチトランジスタQSL(0)、QSL(1)は、第1原理説明図C01と同様に択一的に選択される。一方、不揮発性記憶セルRC0及びスイッチトランジスタQSL0は、読み出し動作においては、常に選択されリファレンス電流Irefを生成する。

【0108】図13に示す第2具体例C2では、ロード部分36は、第1具体例C1と同様に、リファレンスセル部43、44と、スイッチトランジスタQSL0、QSL1を有する選択部41、42とを備えている。異なる点は、リファレンスセル部43、44において、不揮発性記憶セルRC0、RC1に代えて、レギュレート電圧I_{bias}で制御される負荷部としてトランジスタQLL0、QLL1が挿入されている点である。尚、この負荷トランジスタQLL0、QLL1は、後述するレギュレータ部35の負荷トランジスタQLR0と同等の構成である。

【0109】不揮発性記憶セルRC2をリファレンスセルとして含むレギュレータ部35には、選択部38、リファレンスセル部39、及びバイアス部40を備えている。また、レギュレータ部35は、リファレンスセルI

refを生成する基準電流生成部(図13中、レギュレータ部35の左側)と、リファレンス電流I_{ref}をレギュレート電圧I_{bias}に変換するレギュレート電圧生成部(図13中、レギュレータ部35の右側)で構成されている。これらの構成について、選択部38、リファレンスセル部39は、第1具体例C1における選択部31、32、及びリファレンスセル部33、34と基本的に同様である。異なる点は、選択部38のスイッチトランジスタQSR0、QSR1のゲートが、電源電圧VCCに接続されている点、及びリファレンスセル部39のレギュレート電圧生成部において、不揮発性記憶セルに代えて負荷部としてトランジスタQLR0が挿入されている点である。スイッチトランジスタQSR0、QSR1への電源電圧VCC印加は、読み出し時、レギュレータ部35を常時活性化しておくためであり、負荷部トランジスタQLR0への置き換えは、レギュレート電圧I_{bias}を生成するためである。バイアス部40は、基準電流生成部で生成したリファレンス電流I_{ref}を、レギュレート電圧生成部にミラーするための電流ミラー部(トランジスタQMR0、QMR1)を備えている。更に、レギュレータ部35における電流と電圧との関係を、後述の電流比較部D1、D2とロード部分36との間の関係と一致させるため、電流比較部D1、D2において配置されるバイアストランジスタQB0乃至QB3、及び分圧トランジスタQD0乃至QD5(図16、17)に相当するトランジスタQBR0、QBR1、及びトランジスタQDR0、QDR1を備えている。また、電流ミラー部のゲート端子はPLOADとして出力されており、電流比較部D2において使用される。

【0110】レギュレータ部35のレギュレート電圧生成部において、ミラーされたリファレンス電流I_{ref}に応じたレギュレート電圧I_{bias}を生成するために、負荷部トランジスタQLR0のゲート端子と、電流ミラー部QMR1のドレイン端子とが接続されている。電流ミラー部を構成するトランジスタQMR1が飽和状態で動作している場合には、電流ミラー部のトランジスタQMR1は高出力インピーダンス状態で動作する。ドレイン電圧に依存せずリファレンス電流I_{ref}に略等しい電流に維持できるので、この電流I_{ref}が負荷トランジスタQLR0にも流れるようにレギュレート電圧I_{bias}が制御されることとなる。このレギュレータ電圧I_{bias}が、ロード部分36の負荷トランジスタQLL0、QLL1のゲート端子に入力される。前述したように、レギュレータ部35は、後述の電流比較部D1、D2を含めたロード部分36と同等の構成を有しているので、ロード部分36にもリファレンス電流が流れることとなる。

【0111】図14には第3具体例C3を示す。基本的な構成は第2具体例C2と同様であるので、ここでの説

明は省略する。第3具体例C3では、レギュレート電圧I_{bias}を生成するため、レギュレータ部35にオペアンプ部45を備えている。オペアンプ部45は、入力差動対トランジスタQP1、QP2と能動負荷トランジスタQN1、QN2とで構成されており、スイッチトランジスタQN3、QN4で活性化されると、電流源トランジスタQP3からのバイアス電流が流れることにより、オペアンプ動作を行っている。入力差動対トランジスタQP1、QP2には、リファレンスセル部39における、不揮発性記憶セルのドレイン電位と負荷部トランジスタのドレイン電位とが入力されており、両電位が同等の電位になるようにレギュレート電圧I_{bias}が制御される。

【0112】第2及び第3具体例C2、C3に示された第2原理構成のロード部C02によれば、リファレンスセルとしての不揮発性記憶セルRC2は、不揮発性半導体記憶装置内に1つあれば足り、ロード部分36毎に備える必要はない。不揮発性半導体記憶装置が多ビット出力構成である場合、ビット幅分のデータバス線対が必要となり、各々にロード部分36が接続されることとなる。この場合にも、不揮発性記憶セルRC2は1つ備えていれば良い。不揮発性記憶セルRC2の配置個数を必要最小限にすることができダイサイズの縮小に寄与することができる。また、複数の不揮発性記憶セルRC2を備える場合に留意する必要がある特性バラツキの調整も不要となり好都合である。

【0113】また、ロード部分36において、データバス線LDB0、LDB1の双方に、不揮発性記憶セルMCからの経路にある負荷LD(図10)と同等な負荷PGL0とSSL0、PGL1とSSL1(図13)が接続され、何れか一方にリファレンス電流が流れる構成により、ロード部分36を含めて1対のデータバス線LDB0、LDB1は同等な構成となり、製造バラツキや、チップあるいはウェハ面内バラツキ等に関わらず読み出し動作を確実に行うことができる点、ロード部C2、C3にある不揮発性記憶セルRC2は、記憶セル情報が格納される不揮発性記憶セルMCとは異なる配置領域に配置されるため、電圧ストレスの影響を受けずリファレンスセルRC2の特性変動は生じない点、及びスイッチトランジスタQSL0、QSL1の挿入位置より、負荷バランスを更に精度良く合せこむことができる点については、第1具体例C1と同様である。

【0114】次に、電流比較部Dについて図15乃至17により説明する。図15は、電流比較部D0の原理構成図である。選択された記憶セルが接続されて、データバス線LDB(0)あるいはLDB(1)に流れる記憶セル情報に基づく電流I_{dat}と、対をなすデータバス線LDB(1)あるいはLDB(0)に接続されたロード部Cにより流れるリファレンス電流I_{ref}とは、電流比較部D0に入力される。入力された電流I_{dat}、

Irefは、インターフェース部51を介して電流負荷部52に接続される電流負荷部52からの電流を、リファレンス電流Irefに相当する所定電流に設定しておけば、入力された電流Idat、Irefの各々から所定電流を減じた電流が算出される。両者の差電流は、電流値のまま、あるいはインターフェースを介して適宜な電圧レベルにシフトした上で差電圧として、差動出力端子SN(0)、SN(1)に現れる。この差信号を後段の差動アンプ106により増幅してやれば、記憶セル情報がデータDATAとして得られる。ここで、インターフェース部51は、差動出力端子SN(0)、SN(1)を適宜な電圧レベルにシフトする他、データバス線LDB(0)、LDB(1)の電圧レベルを調整したり、あるいはデータバス線LDB(0)、LDB(1)と電流負荷部52との接続関係を適宜に切り替える機能を有するものである。

【0115】図16に示す第1具体例D1では、インターフェース部51Aは、データバス線LDB0、LDB1と電流負荷部52Aとの接続関係を適宜に切り替える接続切り換え部QD0乃至QD3と、差動出力端子SN0、SN1の電圧に関わらず、データバス線LDB0、LDB1に印加される電圧値を制限するためのバイアス部QB0、QB1とを備えている。電流負荷部52Aは、独立したカレントミラー回路で構成されており、トランジスタQM1のゲート・ドレイン間を接続して基準側のトランジスタとし、更にトランジスタQM0のゲート端子を接続して電流をミラーしている。

【0116】インターフェース部51Aの接続切り換え部QD0乃至QD3は、リファレンス電流Irefが流れるデータバス線LDB0あるいはLDB1が、電流負荷部52Aのカレントミラー回路における基準側トランジスタQM1に接続されるように接続を切り替える。即ち、データバス線LDB0がリファレンス側である場合には、制御信号Y01によりトランジスタQD2、QD3を導通し、データバス線LDB1がリファレンス側である場合には、制御信号Y00によりトランジスタQD0、QD1を導通する。これにより、リファレンス電流Irefがカレントミラー回路の基準側に入力されて、反対側にリファレンス電流に相当する電流をミラーすることができる。また、バイアス部QB0、QB1は、差動出力端子SN0、SN1における設定電圧に関わらず、データバス線LDB0、LDB1の電圧を、バイアス電圧Biasから閾値電圧降下した電圧に制限する。これは、電源電圧VCCから電流負荷部52Aを介して差動出力端子SN0、SN1に設定される動作電圧が、後段の差動アンプ106の入力電圧範囲に対して許容範囲内にある必要があり、この電圧は差動アンプ106の入力回路構成に依存するが、一般的に電源電圧VCCに対して所定の中位電圧である。これに対して、データバス線LDB0、LDB1は、読み出し時、不揮発性記憶

セルMC(図1)までの経路が確立されているので、データバス線LDB0、LDB1に印加される電圧が過大であると、不揮発性記憶セルMC(図1)に不測のプログラム動作が行われる、所謂ディスタ urb現象が発生する虞がある。バイアス部QB0、QB1は、両者の要求を満足するために挿入されている。ディスタ urb現象を防止するためには、データバス線LDB0、LDB1の電位を0.5V程度にすることが好ましいため、バイアス電圧Biasは、0.5V+閾値電圧程度に設定されている。

【0117】また、データバス線LDB0、LDB1にプログラム等により高電圧VPP等が印加される場合には、接続切り換え部QD0乃至QD3は、高耐圧素子で構成しておく必要がある。一方、制御信号Y00、Y01は、データバス線LDB0、LDB1の電位が0.5V程度である読み出し時に、接続切り換え部QD0乃至QD3を導通すればよいので、電源電圧VCC等の低電圧で駆動することができる。この設定にしておけば、データバス線LDB0、LDB1に高電圧VPP等が印加されても、差動出力端子SN0、SN1には、電源電圧VCC以下の電圧が印加されるに留まり、電流負荷部52Aや差動アンプ106等を低耐圧素子で構成することができ、読み出し時の高速動作を実現することができる。ここで、データバス線LDB0、LDB1に高電圧VPP等が印加される場合があるのは、コラム選択部B2を使用した場合等である。

【0118】図17に示す第2具体例D2では、インターフェース部51Bは、インターフェース部51Aとは異なり、接続切り換え部QD0乃至QD3に代えて分圧部QD4、QD5を備え、更にバイアス部QB2、QB3とを備えている。電流負荷部52Aは、ロード部の第2具体例C2で出力される電流ミラー部のゲート端子PLOADが接続された定電流トランジスタQM2、QM3を構成している。トランジスタQM2、QM3は、ロード部の第2具体例C2における電流ミラー部QMR0、QMR1と共にカレントミラー回路を構成している。従って、定電流トランジスタQM2、QM3には、共にリファレンス電流の相当する電流が流れている。それゆえ、データバス線LDB0、LDB1のうち何れがリファレンス側になっても第1具体例と同様に差電流を検出することができる。

【0119】第1具体例D1の接続切り換え部QD0乃至QD3に代えて備えられている分圧部QD4、QD5は、接続切り換え部QD0乃至QD3の分圧効果と同様な効果を奏し、データバス線LDB0、LDB1の高電圧に対して、差動出力端子SN0、SN1の電圧を制限する。また、バイアス部QB2、QB3についても、バイアス部QB0、QB1と同様な作用・効果を奏する。

【0120】第1及び第2具体例の電流比較部D1、D2によれば、記憶セル情報に基づく電流Idatと、電

流負荷部により供給されるリファレンス電流 I_{ref} との差電流に基づき、記憶セル情報を読み出すことができる

【0121】図18には、第1実施形態の不揮発性半導体記憶装置(図1)における読み出し動作について回路シミュレーションを行った動作波形を示す。図18のシミュレーションでは、 $0.18\mu\text{m}$ ルールのプロセステクノロジーで製造した64Mビット相当の不揮発性半導体記憶装置であるフラッシュメモリについて、電源電圧 V_{CC} を2.9Vとして行った結果である

【0122】ワード線 WL_0 が活性化されると、メモリコア部A内の選択セクタに配置されている記憶セルMCが選択されると共に、ワード線 WL_0 の活性化から数 $n\text{sec}$ の後にロード部Cが動作を開始して、リファレンス電流 I_{ref} がデータバス線 $LDB(1)$ に流れ始める。合せてコラム選択部Bのパスゲートも選択される

(不図示)が、この時点ではセクタスイッチが選択されておらずデータバス線 $LDB(0)$ には記憶セル情報に基づく電流 I_{dat} は流れていない。リファレンス電流 I_{ref} の出力から略 $5n\text{sec}$ の後に、制御信号 $SECY$ が活性化しセクタスイッチを選択してローカルビット線とグローバルビット線を接続する。この時点では、コラム選択部Bのパスゲートは導通しているのでグローバルビット線はデータバス線 $LDB(0)$ にも接続されており、制御信号 $SECY$ の活性化から略 $1n\text{sec}$ 後に記憶セル電流 I_{dat} が出力されてくる。記憶セル電流 I_{dat} が安定するのを待って、立ち上がりから略 $6n\text{sec}$ 後にプリチャージ信号 PR をリセットして電流比較部Dのプリチャージを解除する。プリチャージの解除と同時に、電流比較部Dでは電流 I_{dat} 、 I_{ref} の比較が開始され差動出力端子 $SN(0)$ 、 $SN(1)$ 間に電流の違いに基づく電位差が現れる。この電位差が 50mV 程度に広がった時点で後段の差動アンプ106が動作して記憶セル情報をデータ $DATA$ として出力する。プリチャージ信号 PR のリセットから僅か $1n\text{sec}$ 程度で、記憶セル情報 $DATA$ が出力される。1対のデータバス線 $LDB(0)$ 、 $LDB(1)$ に接続される負荷を理想的に同等とし、パスゲート等に付随する寄生容量を最小化すると共に、リファレンス電流 I_{ref} を生成する不揮発性セルへの電圧ストレスを排除して安定したリファレンス電流 I_{ref} に対して差動増幅を行うことにより、読み出し動作における初期の過渡応答期間において、記憶セル情報を画定することができ、高速な読み出し動作を実現していることが分かる。また、1対のデータバス線 $LDB(0)$ 、 $LDB(1)$ の負荷バランスが良好であることから、プリチャージ時間も迅速に行うことができ、連続読み出し動作におけるサイクルタイムの高速化も同時に実現することができる

【0123】以上説明したメモリコア部A、コラム選択部B、ロード部C、電流比較部Dの各具体例は、図1の

第1実施形態、及び後述の第2乃至第4実施形態において、適宜に組み合わせて本発明の不揮発性半導体記憶装置を構成することができる

【0124】尚、本発明は前記第1実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。例えば、第1実施形態では、対をなすグローバルビット線 GBL_m 、 GBL_n (図2)に各々接続されるローカルビット線 LBL_m 、 LBL_n は、隣接するセクタ SEC_m 、 SEC_n に配置されている場合を例にとり説明したが、これに限定されるものではなく、ローカルビット線同士が隣接するように構成してもよい。即ち、図19に第2実施形態として示すメモリコア部A20では、セクタ SEC_0 に例示するように、セクタスイッチを介して、隣接するローカルビット線 LBL_{00} と LBL_{01} 、 LBL_{02} と LBL_{03} が、隣接するグローバルビット線 GBL_0 、 GBL_1 に接続するように配置されている。そして、ワード線 WL_{00} 、 WL_{01} の各々に対して、 SEC_{00} 及び $SECY_{01}$ 、あるいは $SECY_{02}$ 及び $SECY_{03}$ を選択するように制御すれば、隣接するローカルビット線 LBL_{00} と LBL_{01} 、 LBL_{02} と LBL_{03} について、一方を選択された記憶セル側に、他方をリファレンス側にして、隣接するグローバルビット線 GBL_0 、 GBL_1 に接続することができる。これにより、隣接するローカルビット線 LBL_{00} と LBL_{01} 、 LBL_{02} と LBL_{03} 、及び隣接するグローバルビット線 GBL_0 、 GBL_1 の双方に対して、一方に印加されたノイズが他方にも伝播され、1対の線間で同等のノイズが乗ることとなる。即ち、ローカルビット線 LBL_{00} と LBL_{01} 、 LBL_{02} と LBL_{03} 、及びグローバルビット線 GBL_0 と GBL_1 は、ノイズの影響を相殺することができる。従って、記憶セル情報の読み出し信頼性が向上する。

【0125】また、1対のローカルビット線を、第1実施形態に示すように隣接セクタ SEC_0 、 SEC_1 間の対応位置に配置(図3、4)、あるいは第2実施形態に示すように同一セクタ SEC_0 内で隣接(図19)させなくとも、1対のローカルビット線に関して、周囲環境による物理パラメータが同等である位置に配置することにより、同等の寄生容量にすることができる。即ち、図20に第3実施形態として示すメモリコア部A30に例示するように、メモリコア部A30において、1対のビット線 BL_0 、 BL_1 が、対称的な位置等、周囲環境による物理パラメータが同等である位置に配置されれば、両ビット線 BL_0 、 BL_1 の有する寄生容量は同等とすることができる。

【0126】また、所定数の不揮発性記憶セル毎に纏められ、不揮発性記憶セルへのアクセスの基本単位として構成される、複数のセクタ SEC_0 、 SEC_1 を備え、1対のローカルビット線 LBL_{00} と LBL_{01} 、 LBL_{02} と LBL_{03} が、隣接するグローバルビット線 GBL_0 、 GBL_1 に接続するように配置されている。

L02とLBL03は、セクタSEC0、SEC1毎に配置関係が反転して構成することもできる。これにより、ローカルビット線LBL00とLBL01、LBL02とLBL03が、セクタSEC0、SEC1を越えて形成されている場合に、セクタSEC0、SEC1毎に配置関係を反転するので、周辺構造との間で形成される寄生容量は、両ローカルビット線LBL00とLBL01、LBL02とLBL03間で同等とすることができる。この構成を、図19に第2実施形態のメモリコア部A20として示す。

【0127】また、第1実施形態においては、ローカルビット線とグローバルビット線との2階層の階層的ビット線構造を有する不揮発性半導体記憶装置について説明したが、本発明はこれに限定されるものではなく、ビット線の階層構造が1階層の不揮発性半導体記憶装置についても、第1乃至第3実施形態を同様に適用できることは言うまでもない。即ち、図21に第4実施形態として示すメモリコア部A40では、ビット線BL0、BL1は階層構造を構成していない。各々のビット線BL0、BL1には、セクタSEC0において、ワード線WL00、WL01で選択される記憶セル群が、セクタSEC1においても同様に、ワード線WL10、WL11で選択される記憶セル群が配置されている。セクタ毎に1対のビット線BL0、BL1の何れか一方に接続されている記憶セルが選択されるようにワード線WL00乃至WL11を制御してやれば、ビット線BL0、BL1のうち他方のビット線をリファレンス側の負荷とすることができる。また、セクタSEC0、SEC1毎にビット線BL0、BL1の配置関係を反転してやれば、ビット線BL0、BL1の有する寄生容量を更に同等に合わせることができる。

【0128】(付記1) 複数の不揮発性記憶セルが接続されている、複数のディジット線を備える不揮発性半導体記憶装置において、記憶セル情報の読み出しの際、前記ディジット線は、選択される前記不揮発性記憶セルが接続されている第1ディジット線と、非選択の前記不揮発性記憶セルのみが接続されている第2ディジット線とを含み、前記第1及び第2ディジット線を1対として、前記記憶セル情報の読み出しを行うことを特徴とする不揮発性半導体記憶装置。

(付記2) 前記第1ディジット線と、前記第2ディジット線とは隣接することを特徴とする付記1に記載の不揮発性半導体記憶装置。

(付記3) 前記第1ディジット線と前記第2ディジット線とは、該第1及び第2ディジット線を囲む物理パラメータが同等であることを特徴とする付記1又は2に記載の不揮発性半導体記憶装置。

(付記4) 複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数の前記ローカルディジット線毎に備えられ、該ローカルディジット

線が択一的に接続されるグローバルディジット線とを備える不揮発性半導体記憶装置において、記憶セル情報の読み出しの際、前記グローバルディジット線は、選択される前記不揮発性記憶セルが接続されている第1ローカルディジット線に接続される第1グローバルディジット線と、選択される前記不揮発性記憶セルが接続されず、前記第1グローバルディジット線と隣接する第2グローバルディジット線とを含み、前記第1及び第2グローバルディジット線を1対として、前記記憶セル情報の読み出しを行うことを特徴とする不揮発性半導体記憶装置。

(付記5) 前記第2グローバルディジット線は、非選択の前記不揮発性記憶セルのみが接続されている第2ローカルディジット線に接続されることを特徴とする付記4に記載の不揮発性半導体記憶装置。

(付記6) 前記第1ローカルディジット線と、前記第2ローカルディジット線とは、隣接することを特徴とする付記5に記載の不揮発性半導体記憶装置。

(付記7) 前記第1ローカルディジット線と、前記第2ローカルディジット線とは、該第1及び第2ローカルディジット線を囲む物理パラメータが同等であることを特徴とする付記5又は6に記載の不揮発性半導体記憶装置。

(付記8) 所定数の前記不揮発性記憶セル毎に纏められ、該不揮発性記憶セルへのアクセスの基本単位として構成される、複数のセクタを備え、前記第1ディジット線あるいは前記第1ローカルディジット線と、前記第2ディジット線あるいは前記第2ローカルディジット線とは、前記セクタ毎に配置関係が反転して構成されることを特徴とする付記1又は5に記載の不揮発性半導体記憶装置。

(付記9) 所定数の前記ディジット線毎、あるいは所定数の前記ローカルディジット線毎に纏められ、該不揮発性記憶セルへのアクセスの基本単位として構成される、複数のセクタを備え、前記第1ディジット線あるいは前記第1ローカルディジット線は、第1セクタに配置され、前記第2ディジット線あるいは前記第2ローカルディジット線は、第2セクタに配置されることを特徴とする付記1又は5に記載の不揮発性半導体記憶装置。

(付記10) 前記第1セクタと前記第2セクタとは、隣接して配置されることを特徴とする付記9に記載の不揮発性半導体記憶装置。

(付記11) 前記第1ディジット線あるいは前記第1ローカルディジット線と、前記第2ディジット線あるいは前記第2ローカルディジット線とは、該ディジット線あるいは該ローカルディジット線を囲む物理パラメータが同等であることを特徴とする付記9又は10に記載の不揮発性半導体記憶装置。

(付記12) 前記第1グローバルディジット線と、前記第2グローバルディジット線とは、前記セクタ毎に配置関係が反転して構成されることを特徴とする付記8乃

至11の少なくとも何れか1項に記載の不揮発性半導体記憶装置。

(付記13) 欠陥救済のための冗長構成の最小単位は、前記第1及び第2ディジット線、あるいは前記第1及び第2グローバルディジット線を1対として構成されることを特徴とする付記1又は4に記載の不揮発性半導体記憶装置。

(付記14) 複数の不揮発性記憶セルが接続されている、複数のディジット線を備える不揮発性半導体記憶装置において、前記ディジット線は、選択される前記不揮発性記憶セルが接続されている第1ディジット線と、非選択の前記不揮発性記憶セルのみが接続されている第2ディジット線とを含み、所定数の前記ディジット線毎に設けられ、記憶セル情報の読み出しの際、前記第1及び第2ディジット線を共に選択し、記憶セル情報の書き込みの際、前記第1ディジット線のみを選択する選択部を備えることを特徴とする不揮発性半導体記憶装置。

(付記15) 前記ディジット線に選択的に接続されるデータ線を備え、前記選択部は、記憶セル情報の読み出しの際に、第1電流駆動能力で前記ディジット線と前記データ線とを接続し、記憶セル情報の書き込みの際に、前記第1電流駆動能力より大きな第2電流駆動能力で前記ディジット線と前記データ線とを接続するスイッチ部を備えることを特徴とする付記14に記載の不揮発性半導体記憶装置。

(付記16) 前記ディジット線に選択的に接続されるデータ線を備え、前記選択部は、記憶セル情報の読み出し時に、前記ディジット線から前記データ線に至る第1経路と、記憶セル情報の書き込み時に、前記データ線から前記ディジット線に至る第2経路とを備えることを特徴とする付記14又は15に記載の不揮発性半導体記憶装置。

(付記17) 前記第1経路を構成する前記スイッチ部は、低耐圧素子で構成され、前記第2経路を構成する前記スイッチ部は、高耐圧素子で構成されることを特徴とする付記16に記載の不揮発性半導体記憶装置。

(付記18) 前記第1経路を構成する前記スイッチ部を開閉制御する第1制御部と、前記第2経路を構成する前記スイッチ部を開閉制御する第2制御部とを備え、前記第1制御部は低耐圧素子で構成され、前記第2制御部は高耐圧素子で構成されることを特徴とする付記16又は17に記載の不揮発性半導体記憶装置。

(付記19) 前記第2経路は、前記第1経路を含んで構成されることを特徴とする付記16に記載の不揮発性半導体記憶装置。

(付記20) 記憶セル情報の読み出しの際に、前記第1及び第2ディジット線を各々別の前記データ線に接続する第1及び第2スイッチ部と、記憶セル情報の書き込みの際、前記第1ディジット線を前記第3データ線に接続する第3スイッチ部とを備えることを特徴とする付記

15乃至19の少なくとも何れか1項に記載の不揮発性半導体記憶装置。

(付記21) 複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数の前記ローカルディジット線毎に備えられ、該ローカルディジット線が択一的に接続されるグローバルディジット線とを備え、前記ディジット線は、前記グローバルディジット線であることを特徴とする付記14乃至20の少なくとも何れか1項に記載の不揮発性半導体記憶装置。

(付記22) 複数の不揮発性記憶セルが接続されている、複数のディジット線と、前記ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、第1ディジット線を介して、選択される前記不揮発性記憶セルが接続される第1データ線と、第2ディジット線を介して、非選択の前記不揮発性記憶セルのみが接続される第2データ線と、前記第1データ線に接続される第1ロード部と、前記第1ロード部と同等な構成を有し、前記第2データ線に接続されると共に、前記記憶セル情報に基づき前記第1データ線を流れる電流に対して基準となる電流を流す第2ロード部とを備え、前記第1及び第2データ線を1対として、記憶セル情報の読み出しを行うことを特徴とする不揮発性半導体記憶装置。

(付記23) 前記第1及び第2ロード部は、前記不揮発性記憶セルから前記第1及び第2ロード部に至る経路にある負荷と同等な負荷を備えることを特徴とする付記22に記載の不揮発性半導体記憶装置。

(付記24) 前記第1及び第2ロード部は、前記不揮発性記憶セルと同等な第1及び第2リファレンスセルを備えることを特徴とする付記22又は23に記載の不揮発性半導体記憶装置。

(付記25) 前記記憶セル情報に基づく電流に対する基準電流を生成する、前記不揮発性記憶セルと同等な第3リファレンスセルを含み、前記基準電流に応じたレギュレート電圧を出力するレギュレータ部を更に備え、前記第1及び第2ロード部は、前記レギュレート電圧により電流値が制御される第1及び第2負荷部を備えることを特徴とする付記22又は23に記載の不揮発性半導体記憶装置。

(付記26) 前記第1及び第2リファレンスセル、あるいは前記第3リファレンスセルは、前記記憶セル情報が格納される前記不揮発性記憶セルの配置領域とは異なる配置領域に配置されることを特徴とする付記24又は25に記載の不揮発性半導体記憶装置。

(付記27) 前記第1及び第2リファレンスセルあるいは前記第1及び第2負荷部と、基準電位とを接続する第1及び第2選択スイッチを備え、前記第1選択スイッチ、又は前記第2選択スイッチの何れか一方を選択的に導通することを特徴とする付記24又は25に記載の不揮発性半導体記憶装置。

(付記28) 前記レギュレータ部は、前記第3リファレンスセルを含む基準電流生成部と、第1及び第2負荷部と同等な第3負荷部を含むレギュレート電圧生成部とを備えることを特徴とする付記25に記載の不揮発性半導体記憶装置。

(付記29) 前記レギュレータ部は、前記基準電流生成部で生成される基準電流を、前記レギュレート電圧生成部にミラーする電流ミラー部と、前記レギュレート電圧生成部において、前記ミラーされた基準電流を流すように前記第3負荷部を制御するフィードバック部とを備えることを特徴とする付記28に記載の不揮発性半導体記憶装置。

(付記30) 前記フィードバック部は、前記レギュレート電圧を出力することを特徴とする付記29に記載の不揮発性半導体記憶装置。

(付記31) 複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数の前記ローカルディジット線毎に備えられ、該ローカルディジット線が択一的に接続されるグローバルディジット線とを備えており、前記ディジット線は、前記グローバルディジット線であることを特徴とする付記22乃至30の少なくとも何れか1項に記載の不揮発性半導体記憶装置。

(付記32) 複数の不揮発性記憶セルが接続されている、複数のディジット線と、前記ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、前記ディジット線を介して、選択される前記不揮発性記憶セルが接続され、記憶セル情報に基づく電流が流れる第1データ線と、基準電流が流れる第2データ線と、前記第1及び第2データ線が接続され、前記記憶セル情報に基づく電流と前記基準電流とを比較する電流比較部とを備え、前記電流比較部は、電流ミラー構成を有する電流負荷部と、前記第1及び第2データ線と前記電流負荷部との接続を切り替える接続切り換え部とを備えることを特徴とする不揮発性半導体記憶装置。

(付記33) 前記接続切り換え部は、前記第2データ線が、前記電流負荷部の電流ミラー構成における基準側に接続されるように制御されることを特徴とする付記32に記載の不揮発性半導体記憶装置。

(付記34) 前記接続切り換え部は、前記第1及び第2データ線の電圧に関わらず、前記電流負荷部側に印加される電圧を制限する分圧部を含むことを特徴とする付記32又は33に記載の不揮発性半導体記憶装置。

(付記35) 複数の不揮発性記憶セルが接続されている、複数のディジット線と、前記ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、前記ディジット線を介して、選択される前記不揮発性記憶セルが接続され、記憶セル情報に基づく電流が流れる第1データ線と、基準電流が流れる第2データ線と、前記第1及び第2データ線が接続され、前記記憶セル情報に基づく電流と前記基準電流とを比較する

電流比較部とを備え、前記電流比較部は、前記第1及び第2データ線に対して前記基準電流に相当する電流を流す電流負荷部を備えることを特徴とする不揮発性半導体記憶装置。

(付記36) 前記第1及び第2データ線と前記電流負荷部との間に、前記第1及び第2データ線の電圧に関わらず、前記電流負荷部側に印加される電圧を制限する分圧部を備えることを特徴とする付記35に記載の不揮発性半導体記憶装置。

(付記37) 前記電流負荷部から出力される電圧に関わらず、前記第1及び第2データ線側に印加される電圧を制限するバイアス部を備えることを特徴とする付記32乃至36の少なくとも何れか1項に記載の不揮発性半導体記憶装置。

(付記38) 複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数の前記ローカルディジット線毎に備えられ、該ローカルディジット線が択一的に接続されるグローバルディジット線とを備えており、前記ディジット線は、前記グローバルディジット線であることを特徴とする付記32乃至36の少なくとも何れか1項に記載の不揮発性半導体記憶装置。

【0129】

【発明の効果】本発明によれば、読み出し動作において、選択される記憶セルが接続されるグローバルビット線と、同グローバルビット線に隣接するグローバルビット線とを対として、1対のデータバス線に接続される負荷を理想的に同等とし、グローバルビット線とデータバス線とを接続するパスゲート等に付随する寄生容量を最小化すると共に、リファレンス電流を生成する不揮発性セルへの電圧ストレスを排除して安定したリファレンス電流に対して差動増幅を行うことにより、読み出し動作における初期の過渡応答期間において記憶セル情報を画定することができ、高速な読み出し動作を実現することができる。また、1対のグローバルビット線を隣接することにより、一方に印加されるノイズは他方にも同様に印加されるので、ノイズの影響が相殺され、記憶セル情報の読み出し信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態における不揮発性半導体記憶装置の全体構成図を示すブロック図である。

【図2】第1実施形態におけるメモリア部の原理構成図を示す回路図である。

【図3】メモリア部の第1具体例を示す回路図である。

【図4】メモリア部の第2具体例を示す回路図である。

【図5】メモリア部の第1及び第2具体例における冗長構成を示す回路図である。

【図6】第1実施形態におけるコラム選択部の第1原理構成図を示す回路図である。

【図7】コラム選択部の第1具体例を示す回路図である。

【図8】実施形態におけるコラム選択部の第2原理構成図を示す回路図である。

【図9】コラム選択部の第2具体例を示す回路図である。

【図10】第1実施形態におけるロード部の第1原理構成図を示す回路図である。

【図11】ロード部の第1具体例を示す回路図である。

【図12】第1実施形態におけるロード部の第2原理構成図を示す回路図である。

【図13】ロード部の第2具体例を示す回路図である。

【図14】ロード部の第3具体例を示す回路図である。

【図15】第1実施形態における電流比較部の原理構成図を示す回路図である。

【図16】電流比較部の第1具体例を示す回路図である。

【図17】電流比較部の第2具体例を示す回路図である。

【図18】第1実施形態の読み出し動作を示す動作波形図である。

【図19】第2実施形態のメモリコア部を示す回路図である。

【図20】第3実施形態のメモリコア部を示す回路図である。

【図21】第4実施形態のメモリコア部を示す回路図である。

【図22】従来技術における不揮発性半導体記憶装置の全体構成図を示すブロック図である。

【図23】従来技術のメモリコア部を示す回路図である。

【図24】従来技術のコラム選択部を示す回路図である。

【図25】従来技術の比較部を示す回路図である。

【符号の説明】

20 プログラム用バスゲート

21 ロード用バスゲート

22 ログラム用デコード部

23

ード用デコード部

24

段目バスゲート

25

段目バスゲート

26

コード部

35

ギュレータ部

36

ード部分

A、A0、A1、A2

モリコア部

B、B01、B02、B1、B2

ラム選択部

C、C01、C02、C1、C2

ード部

D、D0、D1、D2

流比較部

GBL、GBL(0)、GBL(1)、GBL0乃至GBL31グローバルビット線

LBLm、LBLn、LBL00、LBL01、LBL02、LBL03、LBL04、LBL05、LBL06、LBL07、LBL10、LBL11、LBL12、LBL13、LBL14、LBL15、LBL16、LBL17ローカルビット線

LD

荷

LDB、LDB(0)、LDB(1)、LDB0、LDB1読み出し用データバス線

QB0、QB1、QB2、QB3

イアス部

QD0、QD1、QD2、QD3

続切り換え部

QD4、QD5

圧部

RC(0)、RC(1)、RC0、RC1、RC2

ファレンスセル

SGBL0、SGBL1

長構成のグローバルビット線

WDB

ログラム用データバス線

1

2

デ

レ

コ

ロ

メ

コ

ロ

電

負

バ

接

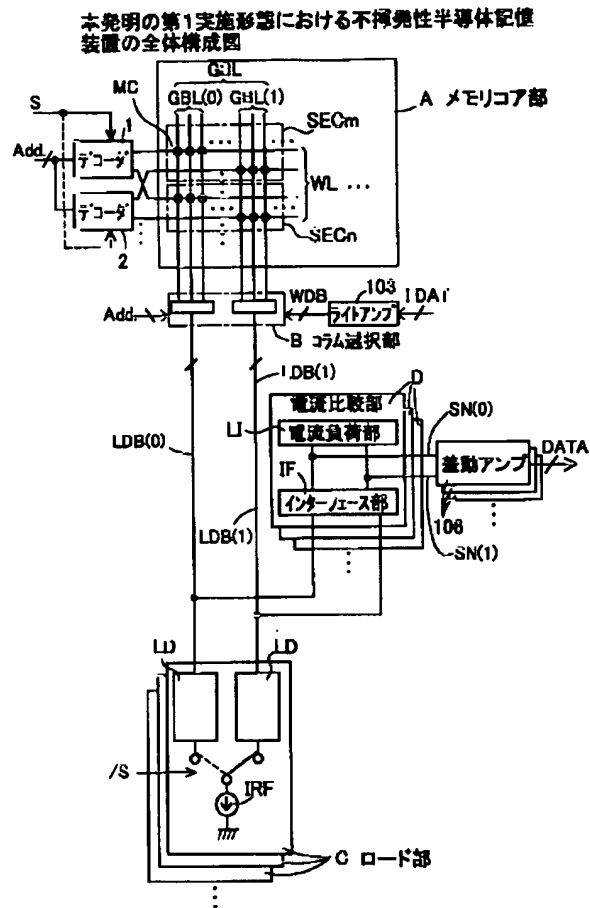
分

リ

冗

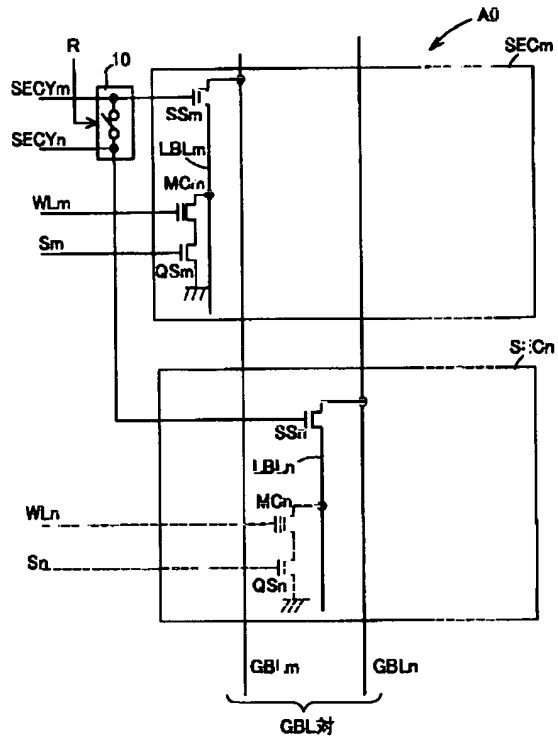
プ

【図1】



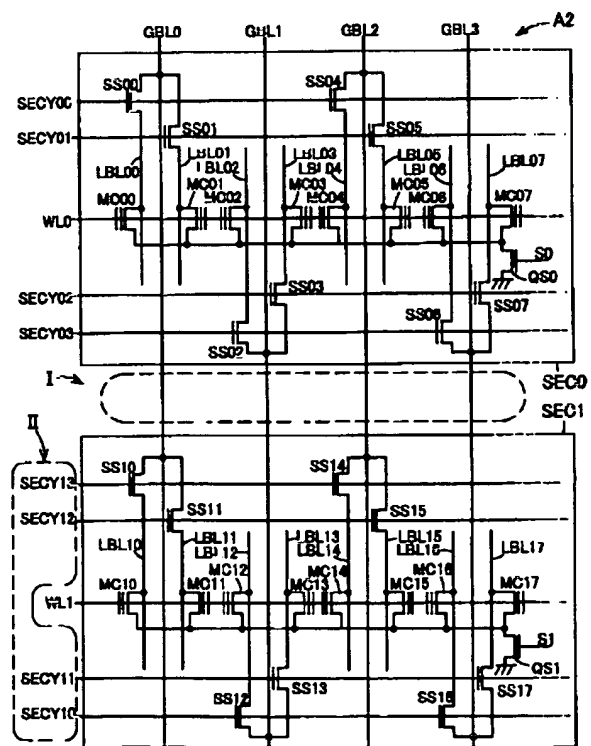
【図2】

メモリ部Aの原理構成図



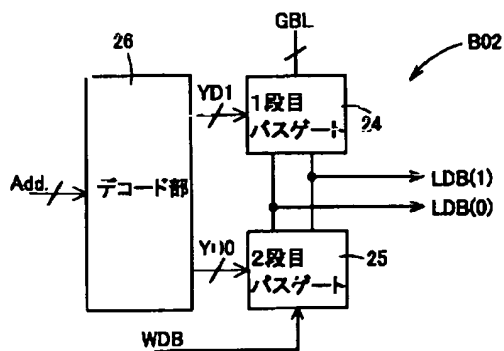
【図4】

メモリ部Aの第2具体例

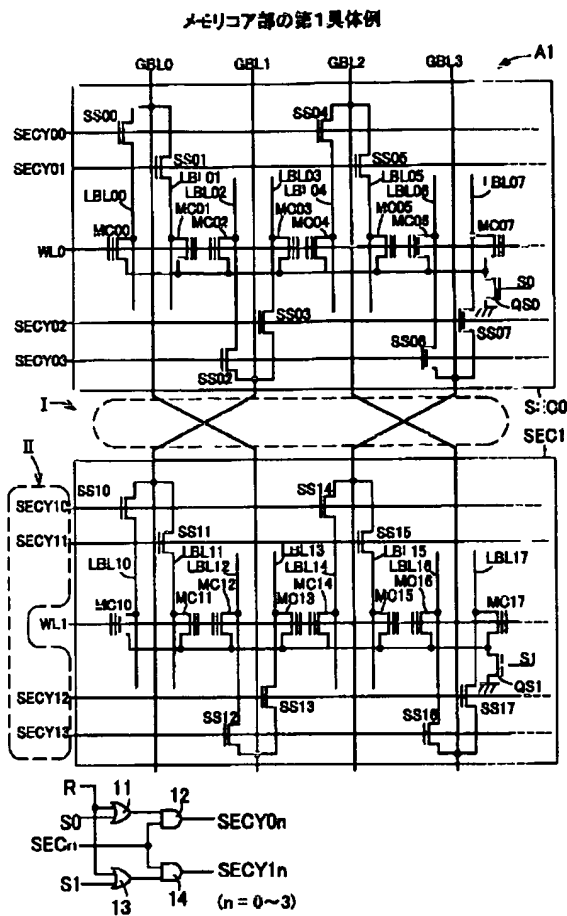


【図8】

コラム選択部の第2原理構成図

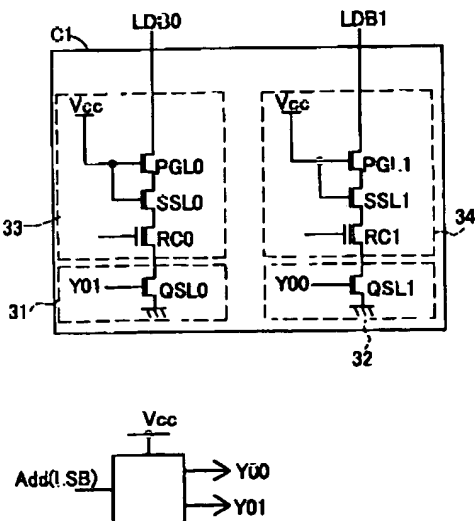


【図3】

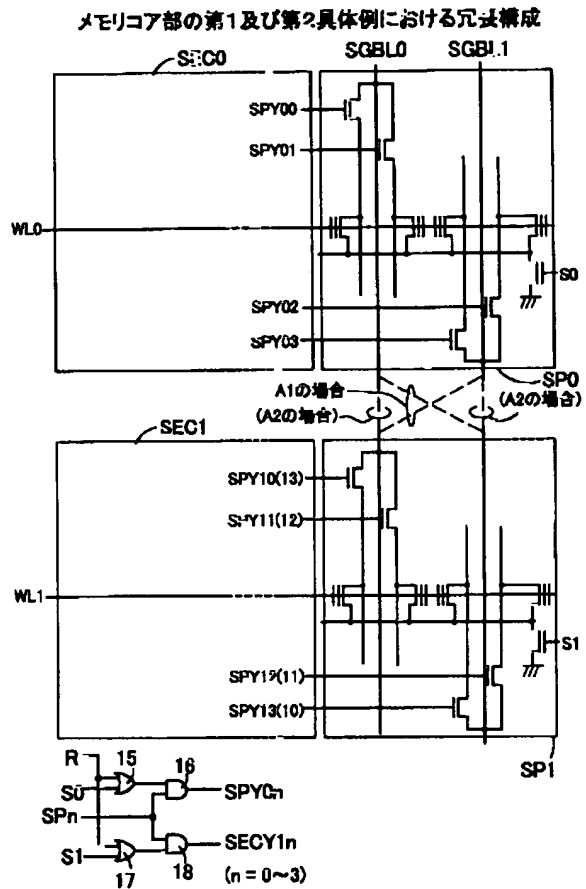


【図11】

ロード部の第1具体例

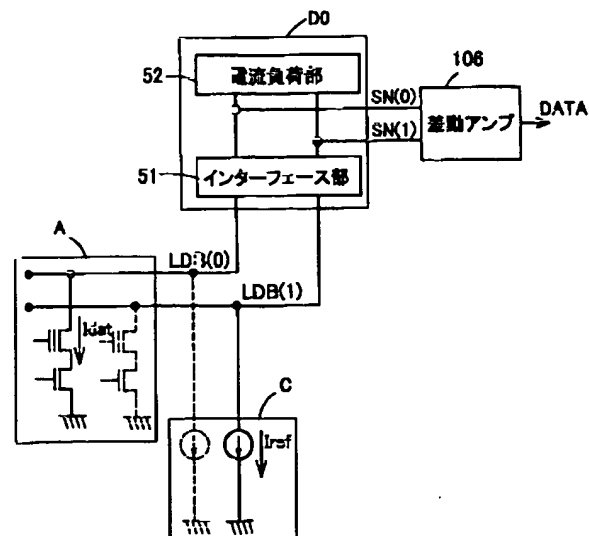


【図5】



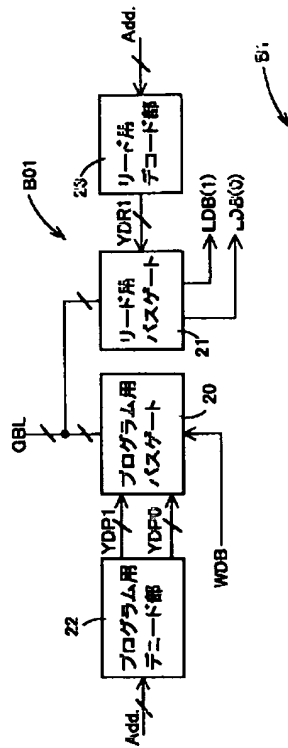
【図15】

電流比較部の原理構成図

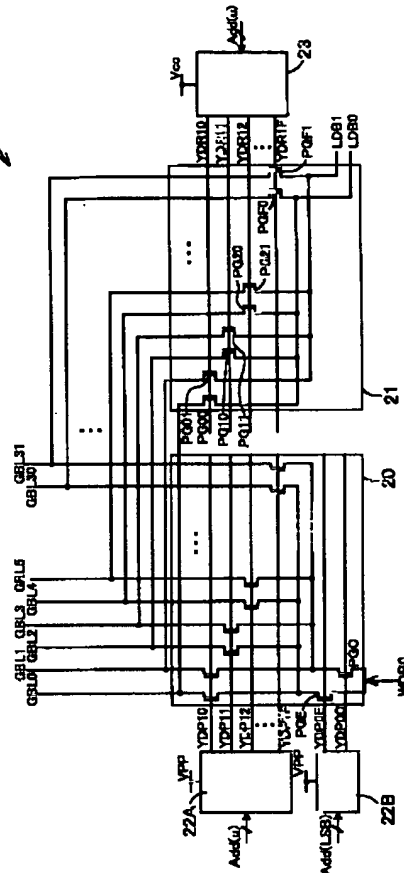


【図9】

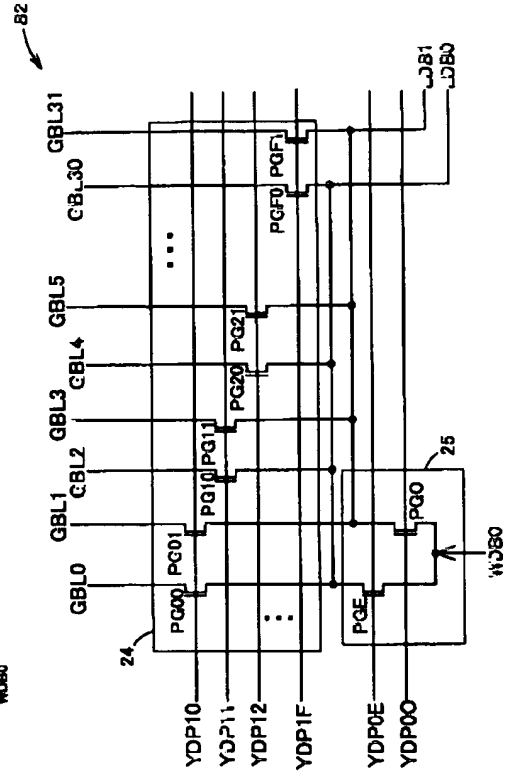
1) フォム選択部の第1原理構成図



コラム選択部の第1具体例



コラム選択部の第2具体例

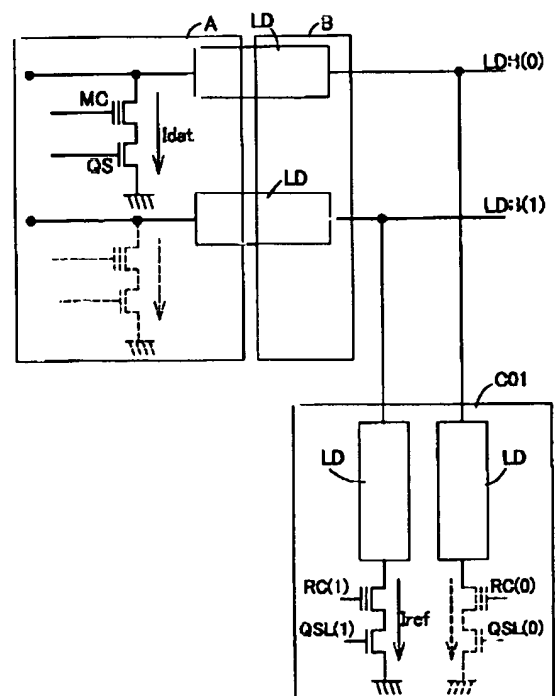
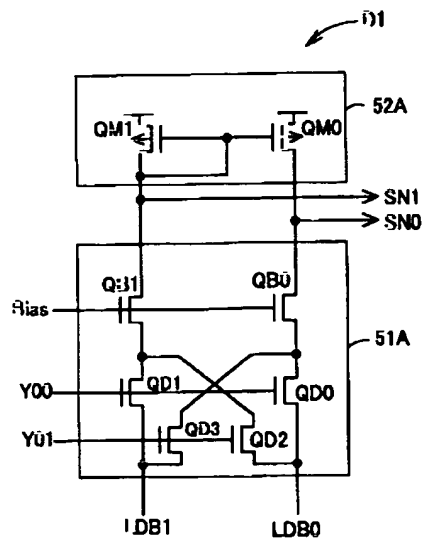


【図10】

コード部の第1原理構成図

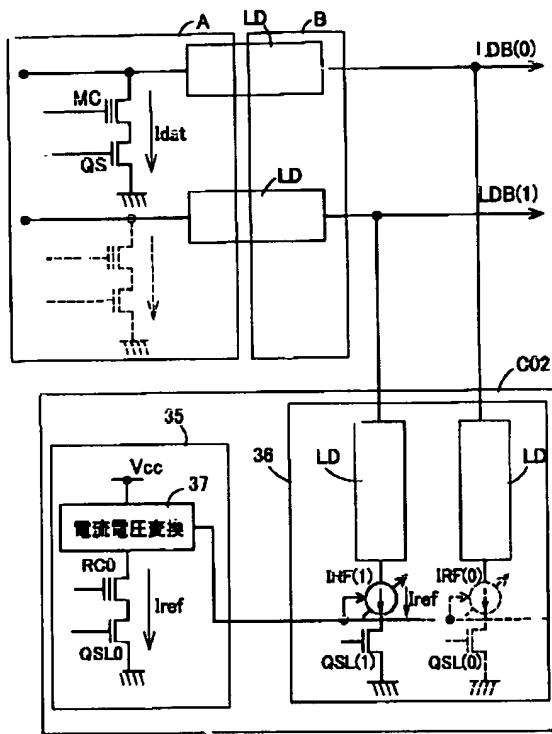
【図16】

電流比較部の第1具体例



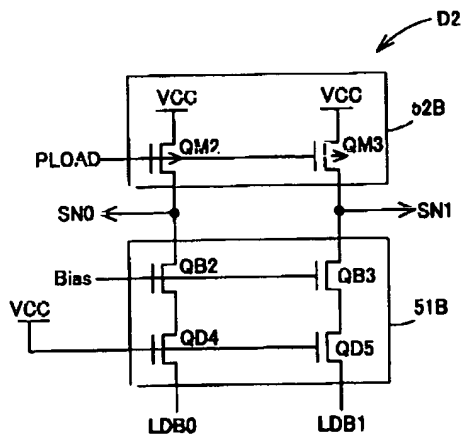
【図12】

ロード部の第2原理構成図



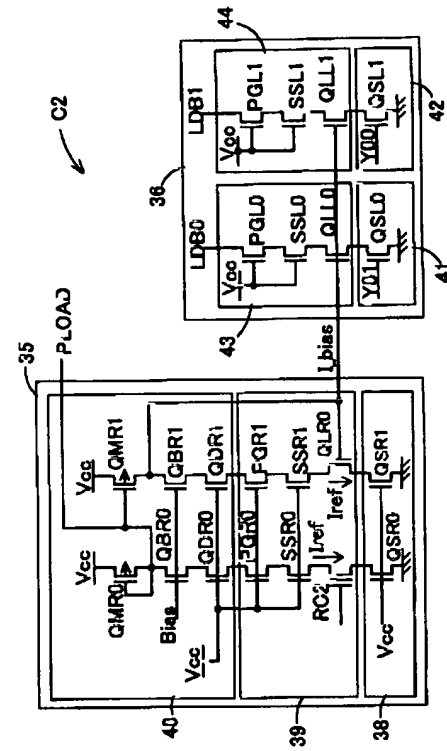
【図17】

電流比較部の第2具体例



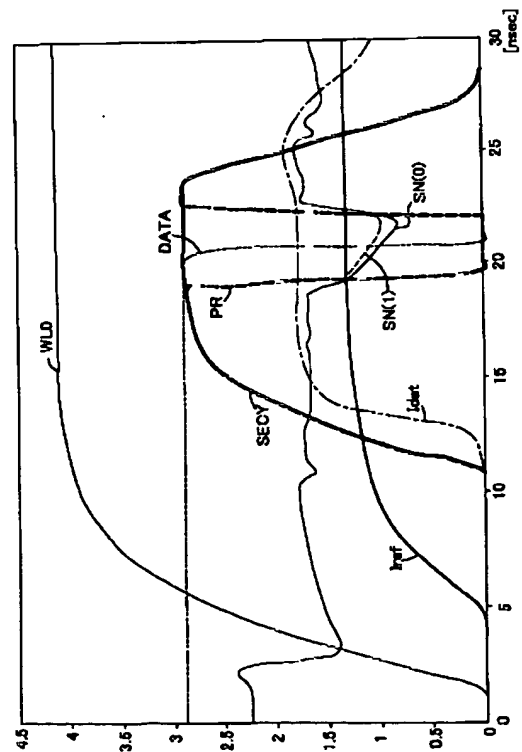
【図13】

ロード部の第2具体例



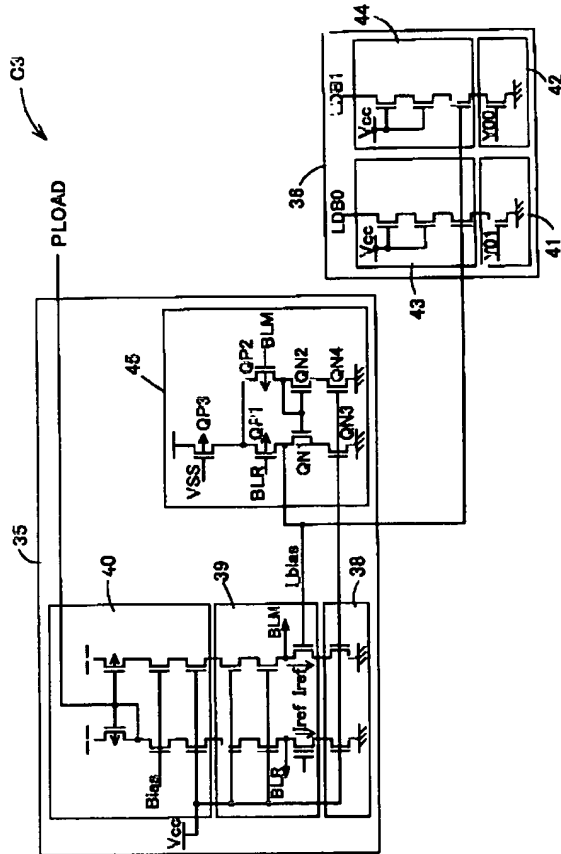
【図18】

第1実施形態のリード動作波形

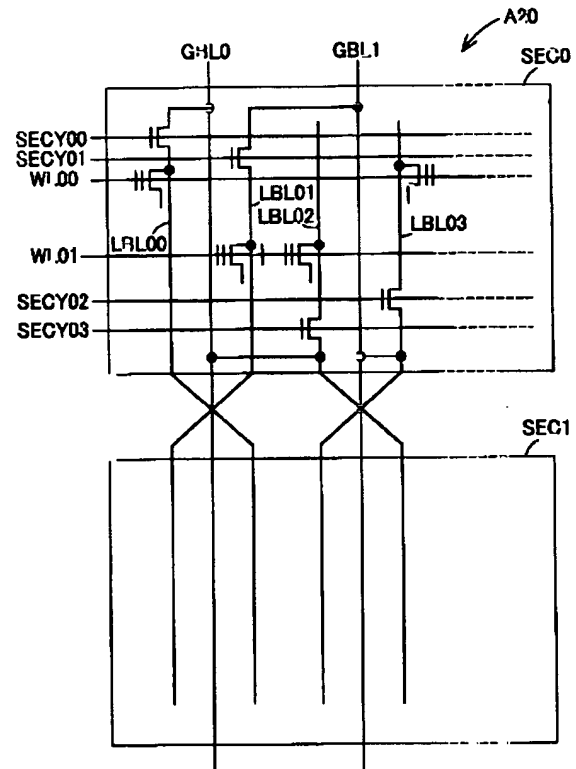


【図19】

ロード部の第3具体例

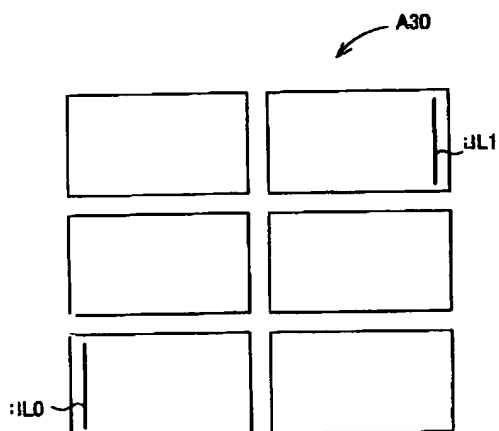


第2実施形態のメモリコア部



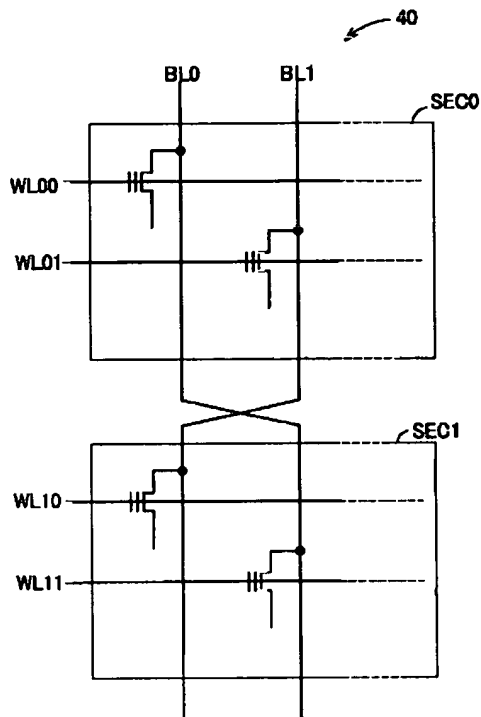
【図20】

第3実施形態のメモリコア部



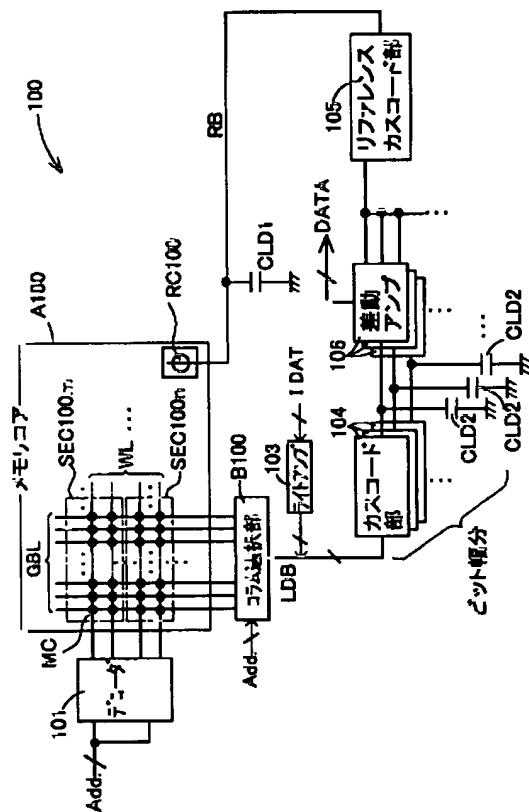
【図21】

第4実施形態のメモリア部



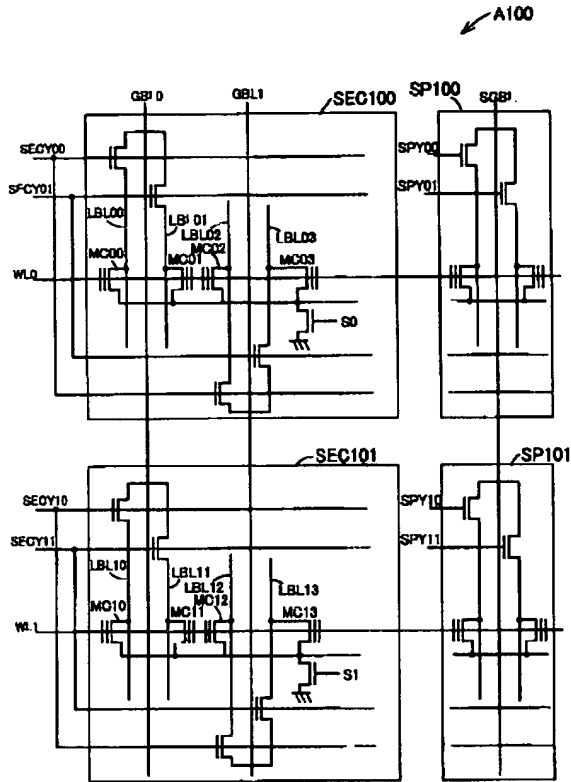
【図22】

従来技術における不揮発性半導体記憶装置の全体構成図



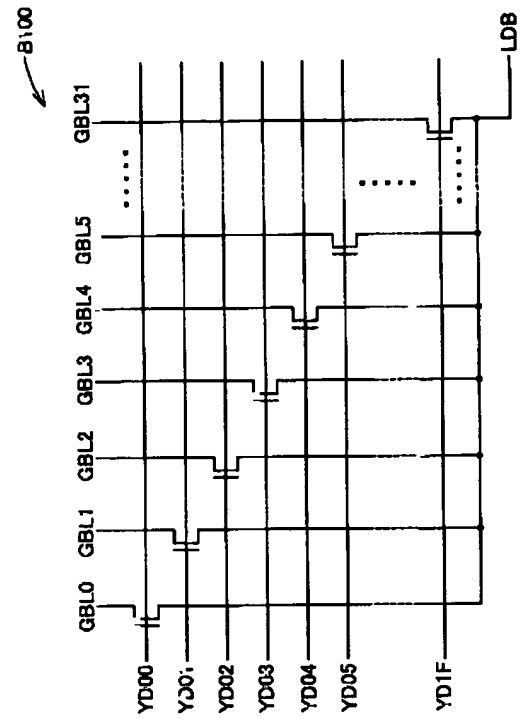
【図23】

従来技術におけるメモリア部



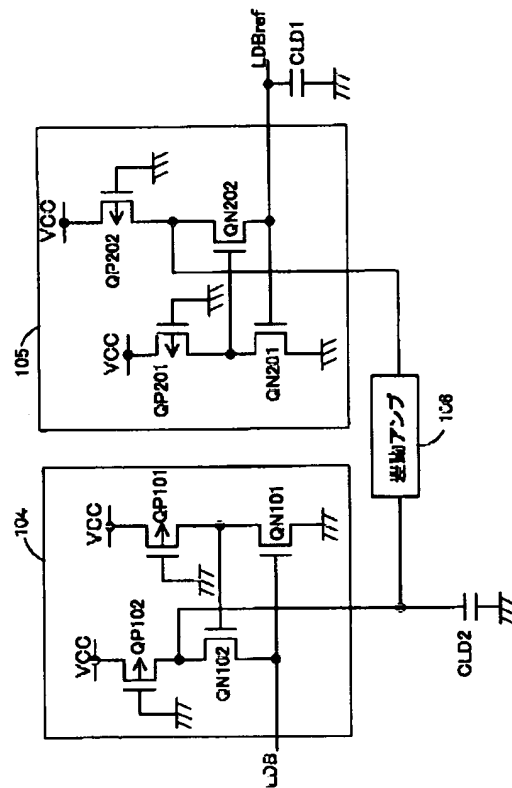
【図24】

従来技術におけるコラム選択部



【図25】

従来技術における比較部



フロントページの続き

(72)発明者 古山 孝昭
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴェルエスアイ株式会社内

F ターム(参考) 5B025 AA04 AB01 AC01 AD02 AD07
AD09 AD12 AD13 AE05 AE08

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.